

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-036362

(43)Date of publication of application : 07.02.1997

(51)Int.Cl.

H01L 29/78

(21)Application number : 07-185783

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 21.07.1995

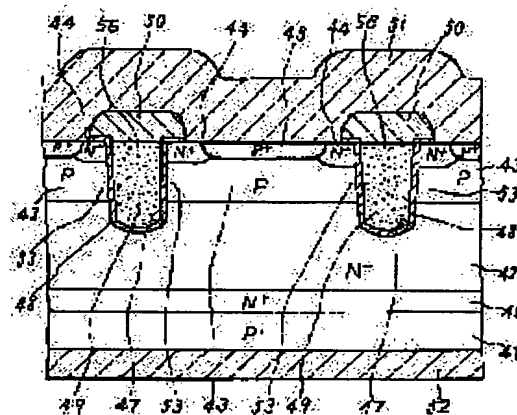
(72)Inventor : TAKAHASHI HIDEKI

## (54) INSULATED GATE TYPE SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve SOA of an insulated gate type semiconductor device by making difficult for a parasitic transistor of an insulated gate type semiconductor device to turn ON.

**SOLUTION:** A parasitic bipolar transistor formed of N<sup>+</sup> emitter region, P base layer and N<sup>-</sup> layer is set difficult to turn ON by providing P<sup>+</sup> semiconductor layer 45 having impurity concentration higher than that of the N<sup>+</sup> emitter region 44 in such a manner that it overlaps with the end part adjacent to the N<sup>+</sup> emitter region 44 of U type IGBT and in contact with the P base region 43 at the bottom part.



BEST AVAILABLE COPY

### LEGAL STATUS

[Date of request for examination]

30.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3384198

[Date of registration]

27.12.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(18) 日本國特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-36362

(43)公開日 平成9年(1997)2月7日

(5) Int. Cl. <sup>1</sup>	識別記号	片内整理番号	PI	技術表示箇所
H01L 29/78		9055-4M	H01L 29/78	653D
		9055-4M		653C
		9055-4M		655A

無空解求 未解求 解求項の数14 OL (全28頁)

(21)出願番号	特願平7-185783	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成7年(1995)7月21日	(72)発明者	高橋 文樹 東京都千代田区丸の内二丁目2番3号、三 菱電機株式会社内
		(74)代理人	弁護士 高田 守 (9)(名)

(54) 【発明の名称】 絶縁ゲート型半導体装置およびその製造方法

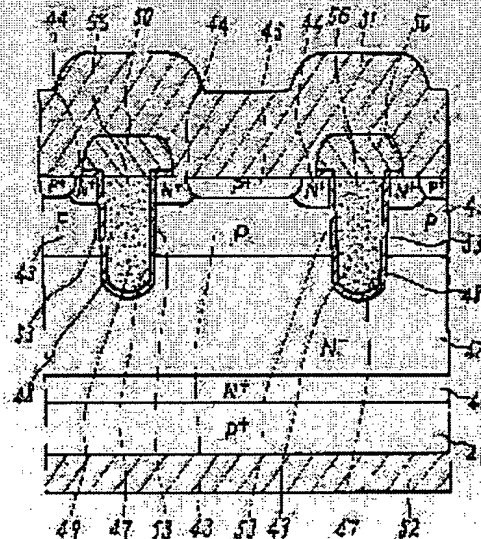
(57) 【要約】

【課題】 絶縁ゲート型半導体装置の寄生トランジスタをオンし難くすることにより、絶縁ゲート型半導体装置のSOAを改善する。

【解決手段】 U型IGBTのN+エミッタ領域44の両端する先端に重なるように、またPベース領域43と底部で接触させて、N+

エミツタ領域44の不妊物濃度

より高い不純物濃度を有するP+半導体層45を設け、エミッタ電極層1とPベース領域43とをP+半導体層45を介してコンタクトさせることにより、トランジスタを小さくし、N+エミッタ領域4とPベース層3とN-層2とから構成される寄生バイポーラトランジスタを抑制し得る。



【特許請求の範囲】

【請求項1】 第1と第2の主面を有する第1導電型の第1の半導体層と、

この第1の半導体層の第1の主面上に配設された低不純物濃度の第2導電型の第2の半導体層と、

この第2の半導体層の表面に配設された第1導電型の第3の半導体層と、

この第3の半導体層の表面の一部に選択的に配設された第2導電型の第4の半導体層と、

この第4の半導体層の表面においてこの表面に沿う方向に延長して開口し上記第4の半導体層の表面から上記第2の半導体層に達する深さを有する溝形状の内壁と、

上記第3、第4の半導体層にわたってこれら半導体層の表面に配設され、この第4の半導体層との接合が表面に露出するとともに上記第4の半導体層の厚さよりも浅い底面を有し、上記第4の半導体層の不純物濃度よりも高い不純物濃度の第2導電型の第5の半導体層と、

上記内壁とこの内壁に接続する上記開口近傍の第4の半導体層の表面とを覆う絶縁膜と、

この絶縁膜を介して上記内壁表面上に配設されるとともに上記開口近傍の上記第4の半導体層表面に配設された上記絶縁膜表面より後退した表面を有する制御電極と、  
上記第4、第5の半導体層表面上に配設された第1の主電極と、

上記第1の半導体層の第2の主面上に配設された第2の主電極と、を備えた絶縁ゲート型半導体装置、

【請求項2】 上記溝形状の内壁が複数配設されるとともに、隣接するこれら内壁相互間に配設された上記第5の半導体層の露出面が内壁に沿って延在することを特徴とする請求項1記載の絶縁ゲート型半導体装置、

【請求項3】 上記第5の半導体層の露出面が離散的に配設されたことを特徴とする請求項2記載の絶縁ゲート型半導体装置、

【請求項4】 第1と第2の主面を有する第1導電型の第1の半導体層と、

この第1の半導体層の第1の主面上に配設された低不純物濃度の第2導電型の第2の半導体層と、

この第2の半導体層の表面に配設された第1導電型の第3の半導体層と、

この第3の半導体層の表面の一部に選択的に配設された第2導電型の第4の半導体層と、

この第4の半導体層の表面においてこの表面に沿う方向に延長して開口し上記第4の半導体層の表面から上記第2の半導体層に達する深さを有する溝形状の複数の内壁と、

この内壁に沿って離散的に延在し、隣接する上記内壁相互間の上記第3、第4の半導体層にわたってこれら半導体層の表面に配設され、この第4の半導体層との接合が表面に露出する、上記第4の半導体層の不純物濃度よりも高い不純物濃度の第2導電型の第5の半導体層と、

上記内壁とこの内壁に接続しこの内壁に沿って隣接する第4の半導体層の一部表面とこの第4の半導体層の一部に隣接する上記第5の半導体層の一部表面とを覆う絶縁膜と、

この絶縁膜を介して上記内壁表面上に配設されるとともに上記開口近傍の上記第4の半導体層表面に配設された上記絶縁膜表面より後退した表面を有する制御電極と、  
上記第4、第5の半導体層表面上に配設された第1の主電極と、

上記第1の半導体層の第2の主面上に配設された第2の主電極と、を備えた絶縁ゲート型半導体装置、

【請求項5】 第1と第2の主面を有する第1導電型の第1の半導体層と、

この第1の半導体層の第1の主面上に配設された低不純物濃度の第2導電型の第2の半導体層と、

この第2の半導体層の表面に配設された第1導電型の第3の半導体層と、

この第3の半導体層の表面の一部に列状に並列して複数配設された第2導電型の第4の半導体層と、

この第4の半導体層の表面において上記第4の半導体層の列に沿って延長する方向に開口し、上記第4の半導体層の表面から上記第2の半導体層に達する深さを有する溝形状の複数の内壁と、

上記第3、第4の半導体層にわたってこれら半導体層の表面に配設され、この第4の半導体層との接合が表面に露出するとともに上記第4の半導体層の厚さよりも浅い底面を有し、上記第4の半導体層の不純物濃度よりも高い不純物濃度の第2導電型の第5の半導体層と、

上記内壁それぞれとこの内壁に接続する上記開口近傍の第4の半導体層の表面とを覆う絶縁膜と、

この絶縁膜を介して上記内壁表面上に配設されるとともに上記開口近傍の上記第4の半導体層表面に配設された上記絶縁膜表面より後退した表面を有する制御電極と、  
この制御電極の上記表面上に配設された層間絶縁膜と、  
上記第4、第5の半導体層表面上及び上記層間絶縁膜上に配設された第1の主電極と、  
上記第1の半導体層の第2の主面上に配設された第2の主電極と、を備えた絶縁ゲート型半導体装置、

【請求項6】 上記第5の半導体層が上記第4の半導体層に沿って離散的に配設されたことを特徴とする請求項5記載の絶縁ゲート型半導体装置、

【請求項7】 第1と第2の主面を有する第1導電型の第1の半導体層と、

この第1の半導体層の第1の主面上に配設された低不純物濃度の第2導電型の第2の半導体層と、

この第2の半導体層の表面に配設された第1導電型の第3の半導体層と、

この第3の半導体層の表面の一部に列状に並列して複数配設された第2導電型の第4の半導体層と、

この第4の半導体層の表面において上記第4の半導体層

の列に沿って延長する方向に開口し、上記第4の半導体層の表面から上記第2の半導体層に達する深さを有する溝形状の領域の内壁と、

上記第4の半導体層に沿って連続的に延在するとともに上記第3、第4の半導体層にわたってこれら半導体層の表面に配設され、この第4の半導体層との接合が表面に露出した、上記第4の半導体層の不純物濃度よりも高い不純物濃度の第2導電型の第5の半導体層と、

上記内壁それぞれとこの内壁に連続しこの内壁に沿って隣接する第4の半導体層の表面とこの第4の半導体層に近接する第5の半導体層の一部表面とを覆う絶縁膜と、

この絶縁膜を介して上記内壁表面上に配設されるとともに上記開口近傍の上記第4の半導体層表面に配設された上記絶縁膜表面より後退した表面を有する制御電極と、この制御電極の上記表面上に配設された層間絶縁膜と、上記第4、第5の半導体層表面上及び上記層間絶縁膜上に配設された第1の主電極と、

上記第1の半導体層の第2の主面上に配設された第2の主電極と、を備えた絶縁ゲート型半導体装置、

【請求項6】 第1と第2の主面を有する第1導電型の第1の半導体層と、

この第1の半導体層の第1の主面上に配設された低不純物濃度の第2導電型の第2の半導体層と、

この第2の半導体層の表面に配設された第1導電型の第3の半導体層と、

この第3の半導体層の表面に上記第3の半導体層が露出する露出面を連続的に残して配設された第2導電型の第4の半導体層と、

この第4の半導体層の表面においてこの表面に沿う方向に延長して開口し上記第4の半導体層の表面から上記第2の半導体層に達する深さを有する溝形状の内壁と、

この内壁と上記開口近傍であって上記内壁に連続する上記第4の半導体層及びこの第4の半導体層に隣接する上記第3の半導体層の一部表面とを覆う絶縁膜と、

この絶縁膜を介して上記内壁表面上に配設されるとともに上記開口近傍の上記第4の半導体層表面に配設された上記絶縁膜表面より後退した表面を有する制御電極と、

上記第3、第4の半導体層表面上に配設された第1の主電極と、

上記第1の半導体層の第2の主面上に配設された第2の主電極と、を備えた絶縁ゲート型半導体装置、

【請求項9】 上記溝形状の内壁が複数配設されるとともに、隣接するこれら内壁相互間上記第3の半導体層の露出面が配設され、この露出面が内壁に沿って内壁の延長方向に配設されたことを特徴とする請求項8記載の絶縁ゲート型半導体装置、

【請求項10】 第1導電型の第1の半導体層の表面上に低不純物濃度の第2導電型の第2の半導体層が配設された半導体基板を形成する第1工程と、

上記第2の半導体層側の半導体基板の第1の主面に第1

導電型の不純物を注入し拡散する第2工程と、

上記第1の主面上にレジストを被覆し、このレジストの一部を選択的に残して除去しレジストパターンを形成し、このレジストパターンをマスクとして第2導電型の不純物を注入し、上記第2工程で形成された第1導電型の第3の半導体層の表面に拡散する第3工程と、

上記第1の主面に遮断膜を形成し、この遮断膜の上記第3工程で形成された第2導電型の第4の半導体層の表面上の一部にこの遮断膜の表面に沿う方向に延長した開口を形成し、この開口を有する遮断膜をマスクとして上記第2の半導体層に達するまで半導体を除去し、その後この遮断膜を除去する第4工程と、

第4工程により形成された溝形状の内壁の表面および上記第1の主面に絶縁膜を形成する第5工程と、

第5工程により形成された絶縁膜上に上記内壁が構成する溝を埋設するように導電体を被覆する第6工程と、

第6工程により被覆された上記導電体を、上記内壁の構成する溝に埋設された上記導電体の表面が上記第1の主面に形成された上記絶縁膜の表面より後退するまで、上記第1の主面の絶縁膜は残して一様に除去する第7工程と、

第7工程により露出した上記第1の主面の絶縁膜および上記導電体の表面上にレジストを被覆し、上記第3工程において選択的に残されたレジストに対応する領域とこの領域に隣接する上記第4の半導体層の一部表面とを囲む位置に開口を形成し、この開口を有するレジストパターンをマスクとして、上記絶縁膜を介して上記第4の半導体層の不純物濃度よりも高い不純物濃度で第1導電型の不純物を注入し、上記第4の半導体層の厚さより深く

拡散し上記第3の半導体層と隣接する第8工程と、

第7工程により露出した上記絶縁膜および上記導電体の表面上に絶縁材を被覆する第9工程と、

第9工程により被覆された絶縁材表面上にレジストを被覆し、このレジストに上記第8工程により形成された第1導電型の第5の半導体層とこの第5の半導体層に隣接する第4半導体層の一部とを囲む開口を形成し、この開口を有するレジストパターンをマスクとして、上記絶縁材及び絶縁膜を除去し、上記第5の半導体層と第4半導体層とを露出させる第10工程と、

第10工程により露出した第4半導体層、第5の半導体層及び絶縁材表面上に導電層を被覆する第11工程と、

上記半導体基板の第2の主面上に導電層を被覆する第12工程と、を備えた絶縁ゲート型半導体装置の製造方法、

【請求項11】 第1導電型の第1の半導体層の表面上に低不純物濃度の第2導電型の第2の半導体層が配設された半導体基板を形成する第1工程と、

上記第2の半導体層側の半導体基板の第1の主面に第1導電型の不純物を注入し拡散する第2工程と、

上記第1の主面上にレジストを被覆し、このレジストの



一部を列状に並列する複数の領域として残して除去しレジストパターンを形成し、このレジストパターンをマスクとして第2導電型の不純物を注入し、上記第2工程で形成された第1導電型の第3の半導体層の表面に拡散する第3工程と、

上記第1の主面に遮断膜を形成し、この遮断膜の上記第3工程で形成された第2導電型の第4の半導体層の表面上の一部にこの第4の半導体層の列に沿う方向に延長した開口を形成し、この開口を有する遮断膜をマスクとして上記第2の半導体層に達するまで半導体を除去し、その後この遮断膜を除去する第4工程と、

第4工程により形成された清形状の複数の内壁の表面および上記第1の主面に絶縁膜を形成する第5工程と、

第5工程により形成された絶縁膜上に上記内壁が構成する溝を埋設するように導電体を積層する第6工程と、

第6工程により積層された上記導電体を、上記内壁の構成する溝に埋設された上記導電体の表面が上記第1の主面に形成された上記絶縁膜の表面より後退するまで、上記第1の主面の絶縁膜は残して一様に除去する第7工程と、

第7工程により露出した上記第1の主面の絶縁膜および上記導電体の表面上にレジストを積層し、上記第3工程において列状に残されたレジストの位置に対応する領域とこの領域に隣接する上記第4の半導体層の一部表面とを囲む位置に開口を形成し、この開口を有するレジストパターンをマスクとして、上記絶縁膜を介して上記第4の半導体層の不純物濃度よりも高い不純物濃度で第1導電型の不純物を注入し、上記第4の半導体層の厚さより速く拡散し上記第3の半導体層と接続する第8工程と、

第7工程により露出した上記絶縁膜および上記導電体の表面上に絶縁材を積層する第9工程と、

第9工程により積層された絶縁材表面にレジストを積層し、このレジストに上記第8工程により形成された第1導電型の第5の半導体層とこの第5の半導体層に隣接する第4半導体層の一部とを囲む開口を形成し、この開口を有するレジストパターンをマスクとして、上記絶縁材及び絶縁膜を除去し、上記第5の半導体層と第4半導体層とを露出させる第10工程と、

第10工程により露出した第4半導体層、第5の半導体層及び絶縁材表面上に導電層を積層する第11工程と、上記半導体基板の第2の主面に導電層を積層する第12工程と、を備えた絶縁ゲート型半導体装置の製造方法、

【請求項12】 上記第3工程において、レジストの一部を離散的に列状に配設されかつ並列する複数の領域として残しレジストパターンを形成するとともに、上記第10工程において、上記内壁それぞれに沿って隣接する第4の半導体層の一部表面を除いて第5の半導体層と第4半導体層とを囲むレジストパターンの開口を形成したことを特徴とする請求項1記載の絶縁ゲート型半導体

装置の製造方法、

【請求項13】 第1導電型の第1の半導体層の表面上に低不純物濃度の第2導電型の第2の半導体層が配設された半導体基板を形成する第1工程と、

上記第2の半導体層側の半導体基板の第1の主面に第1導電型の不純物を注入し拡散する第2工程と、

上記第1の主面にレジストを積層し、このレジストの一部を離散的に列状に配設されかつ並列する複数の領域として残しレジストパターンを形成し、このレジストパターンをマスクとして第2導電型の不純物を注入し、上記第2工程で形成された第1導電型の第3の半導体層の表面に拡散する第3工程と、

上記第1の主面に遮断膜を形成し、この遮断膜の上記第3工程で形成された第2導電型の第4の半導体層の表面上の一部にこの第4の半導体層の列に沿う方向に延長した開口を形成し、この開口を有する遮断膜をマスクとして上記第2の半導体層に達するまで半導体を除去し、その後この遮断膜を除去する第4工程と、

第4工程により形成された清形状の複数の内壁の表面および上記第1の主面に絶縁膜を形成する第5工程と、

第5工程により形成された絶縁膜上に上記内壁が構成する溝を埋設するように導電体を積層する第6工程と、

第6工程により積層された上記導電体を、上記内壁の構成する溝に埋設された上記導電体の表面が上記第1の主面に形成された上記絶縁膜の表面より後退するまで、上記第1の主面の絶縁膜は残して一様に除去する第7工程と、

第7工程により露出した上記第1の主面の絶縁膜および上記導電体の表面上にレジストを積層し、上記第3工程において列状に残されたレジストの位置に対応する領域とこの領域に隣接する上記第4の半導体層の一部表面とを囲む位置に開口を形成し、この開口を有するレジストパターンをマスクとして、上記絶縁膜を介して上記第4の半導体層の不純物濃度よりも高い不純物濃度で第1導電型の不純物を注入し、拡散し、上記第3の半導体層と接続する第8工程と、

第7工程により露出した上記絶縁膜および上記導電体の表面上に絶縁材を積層する第9工程と、

第9工程により積層された絶縁材表面にレジストを積層し、このレジストに上記内壁それぞれに沿って隣接する第4の半導体層の一部表面とこの第4の半導体層の一部に隣接する上記第8工程により形成された第1導電型の第5の半導体層の一部表面とを除いて第5の半導体層と第4半導体層とを囲む開口を形成し、この開口を有するレジストパターンをマスクとして、上記絶縁材及び絶縁膜を除去し、上記第5の半導体層と第4半導体層とを露出させる第10工程と、

第10工程により露出した第4半導体層、第5の半導体層及び絶縁材表面上に導電層を積層する第11工程と、上記半導体基板の第2の主面に導電層を積層する第12

2工程と、を備えた絶縁ゲート型半導体装置の製造方法。

【請求項14】 第1導電型の第1の半導体層の表面上に低不純物濃度の第2導電型の第2の半導体層が配設された半導体基板を形成する第1工程と、

上記第2の半導体層側の半導体基板の第1の主面に第1導電型の不純物を注入し拡散する第2工程と、

上記第1の主面にレジストを被覆し、このレジストの一部を離散的に列状に配設されかつ並列する複数の領域としてレジストパターンを形成し、このレジストパターンをマスクとして第2導電型の不純物を注入し、上記第2工程で形成された第1導電型の第3の半導体層の表面上上記レジストが覆う第3の半導体層の露出面の一部が露出するように拡散する第3工程と、

上記第1の主面に遮蔽膜を形成し、この遮蔽膜の上記第3工程で形成された第2導電型の第4の半導体層の表面上の一部にこの第4の半導体層の列に沿う方向に延長した開口を形成し、この開口を有する遮蔽膜をマスクとして上記第2の半導体層に達するまで半導体を除去し、その後この遮蔽膜を除去する第4工程と、

第4工程により形成された溝形状の内壁の表面および上記第1の主面に絶縁膜を形成する第5工程と、

第5工程により形成された絶縁膜上に上記内壁が形成する溝を埋没するように導電体を被覆する第6工程と、

第6工程により被覆された上記導電体を、上記内壁の溝を埋没するように被覆された上記導電体の表面が上記第1の主面に形成された上記絶縁膜の表面より後退するまで、上記第1の主面の絶縁膜は残して一様に除去する第7工程と、

第7工程により露出した上記絶縁膜および上記導電体の表面上に絶縁材を被覆する第8工程と、

第8工程により被覆された絶縁材表面にレジストを被覆し、上記内壁それぞれに沿って露出する第4の半導体層の一部表面とこの第4の半導体層の一部表面に接触する上記第3の半導体層の露出面の一部とを除いて第3の半導体層と第4半導体層とを囲む位置に対応する開口を形成し、この開口を有するレジストパターンをマスクとして上記絶縁材及び絶縁膜を除去し、上記第3の半導体層とこの第3の半導体層に接触する第4半導体層の一部とを露出させる第9工程と、

第9工程により露出した第3の半導体層、第4の半導体層及び絶縁材表面上に導電層を被覆する第10工程と、

上記半導体基板の第2の主面に導電層を被覆する第11工程と、を備えた絶縁ゲート型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は絶縁ゲート型半導体装置及びその製造方法に関するもので、特にドレンチ MOS ゲートを有する絶縁ゲート型バイポーラトランジ

スタの寄生トランジスタをオンし難くして、Safe Operating Area (以下SOAという)を広くしたデバイス構造とその製造方法に関するものである。

【0002】

【従来の技術】 図26は従来の絶縁ゲート型半導体装置の部分断面図で、ここでは一例として絶縁ゲート型バイポーラトランジスタ(以下IGBTという)、特にトレンチゲート構造のIGBT(以下トレンチゲート構造のIGBTをU型IGBTという)により説明する。

【0003】 近年、家電製品の省エネや小型・軽量化を図るための高周波インバータである電圧共振回路、汎用インバータやACサーボやエヤコン等の分野で三相モータの可変速制御を行なうためのインテリジェントパワーモジュール等にIGBTが使用され定着してきている。これらのキーデバイスであるIGBTではスイッチング特性、飽和電圧、SOAとの間にはトレードオフの関係にあるが、スイッチング特性が良く、飽和電圧が低く、SOAの広いデバイスが求められている。

【0004】 図26において1はP+コレクタ層、2はN-層、3はP+ベース層、4はN+エミッタ領域、5はトレンチ、6はゲート絶縁膜、7はゲート電極、8は層間絶縁膜、9はN+バッファ層、10はエミッタ電極、11はコレクタ電極、12はチャネル領域である。

【0005】 次に、IGBTの動作を説明する。エミッタ電極10とコレクタ電極11との間に所定のコレクタ電圧V<sub>CE</sub>を、エミッタ電極10とゲート電極7との間に所定のゲート電圧V<sub>GE</sub>を印加する。すなわちゲートをオンすると、チャネル領域12がN型に反転しチャネルが形成される。このチャネルを通してエミッタ電極10から電子がN-層2に注入される。この注入された電子によりP+コレクタ層1とN-層2との間が順バイアスされ、コレクタ電極11からP+コレクタ層1およびN+バッファ層9を経由してN-層2にホールが注入される。この結果電流密度不均によりN-層2の抵抗が大幅に低下しIGBTの電流容量は増大する。この時のIGBTのコレクタ-エミッタ間の電圧降下がオン電圧(V<sub>CE(SAT)</sub>)である。

【0006】 次に、IGBTのオン状態からオフ状態にする際には、エミッタ電極10とゲート電極7との間に印加されていたゲート電圧V<sub>GE</sub>を0Vまたは逆バイアスにする。すなわちゲートをオフすると、N型に反転していたチャネル領域12がP型に戻り、エミッタ電極10からの電子の注入が停止する。その後N-層2に蓄積されていた電子とホールはそれぞれコレクタ電極11、エミッタ電極10へ抜けて行くが、または互いに再結合し消滅する。

【0007】 そしてIGBTのオン電圧の大半は耐压保持に必要なN-層2の実質的な抵抗で決まる。実質的な抵抗の要因の一つとして、IGBTを構成するMOSFETの電子供給能力がある。チップ表面に狭く深い溝

(トレンチ)を形成し、その側壁にMOSFETを形成するU型IGBTは、単位セル間隔をできるだけ縮小することにより、このMOSFETの電子供給能力を高めることができる構造となっている。

【0008】

【発明が解決しようとする課題】 一般にIGBTは、高電圧が印加された状態における通断電流値が重要な電気的特性となり、通断電流値が高いほどよい。この電気的特性がよいほどReverse Bias Safe Operating Area (以下RBSOAという)が広くなることになる。一方、図26に示されたU型IGBTはその構造から明らかになようにN+エミッタ領域4とPベース層3とN+層2とから構成される寄生バイポーラトランジスタが存在する。この寄生バイポーラトランジスタがオンすると、もはやゲート電圧V<sub>GS</sub>ではU型IGBTを流れる電流を制御できなくなり、U型IGBTが破壊する。このため、RBSOAを広くするための一つの方法として、寄生トランジスタをオンし難くすることを目的として、トレンチゲート構造でそのセルサイズを縮小した種々の構造が提案されている。

【0009】 図27は特開昭60-253275号公報に記載されている、従来の絶縁ゲート型半導体装置の一例の部分断面図である。図27において、13は半導体基板、14は半導体基板13の第1の正面、15はP+領域である。他の符号は図24と同様である。そしてN+エミッタ領域4間のP+領域15は、単にエミッタ電極10のコンタクトを良くするためのもので、P+領域の不純物濃度はN+エミッタ領域の不純物濃度より低くされている。

【0010】 この従来の絶縁ゲート型半導体装置においては、N+エミッタ領域4を形成するマスクとV型のゲート電極7を形成するためのV型溝を形成するマスクとを同一にすることにより、マスク合わせを行なうことを省略し、セル間の寸法を縮小しているが、ゲート電極7が半導体基板13の第1の正面14より突出しているため、エミッタ電極10とゲート電極7との間で層間絶縁膜Bを確保しながら、なおかつN+エミッタ領域4とP+領域15とのコンタクトをとるためには層間絶縁膜Bを形成するためのマスク合わせの際に余分なマージンを見込みN+エミッタ領域4を広めに形成することが必要となり、セル間の寸法を縮小する際の障壁になる。

【0011】 図28はこの従来例のコンタクトマージンを示した模式図である。図28ではV型のゲート電極7をトレンチ型のゲート電極7に換え、この時に必要なN+エミッタ領域4のマスクすれの余裕分(この場合はゲートコンタクトマージン)を示している。図29はUS 5,034,785号公報に記載されている、もう一つの従来の絶縁ゲート型半導体装置の一例の部分断面図である。この従来例は図28の従来例のゲートコンタクトマージンを無くすることにより、セル間隔を短縮しようとするものである。

図29はDMOSのパワートランジスタで、トレンチ構造のゲートを有している。このゲート電極7は半導体基板13の第1の正面14より後退した表面を有している。15はソース電極である。

【0012】 この構造ではゲート電極7の表面が半導体基板13の第1の正面14より後退しているため、ゲート電極7を形成する際のマスクが不要となり、N+ソース領域16にマスク合わせのためのマージンを見込むことは必要でなくなり、その分トレンチピッチの短縮が可能となる。しかしながら、N+ソース領域16の深さはゲート電極7の表面より深く形成することが必要である。従って深いN+ソース領域16の深さが深くなる。N+ソース領域16は通常拡散工程により形成されるので、N+ソース領域16の拡散深さを深くすることはN+ソース領域16の横方向拡散をも増大させることになり、トレンチピッチを増大させる原因となる。

【0013】 図30はこの従来例のサイト拡散を示した模式図で、IGBTに置き換えてある。図30はゲート電極7の表面をN+エミッタ領域4の表面より後退させるために、N+エミッタ領域4の深さが深くなり、これにつれてN+エミッタ領域4の横方向拡散が増大し、エミッタ電極10とPベース層3の露出面とN+エミッタ領域4の表面とのコンタクトをとるためには、トレンチピッチが大きくなるを得ず、寄生トランジスタがオンしやすくなる。さらに、素子のSOAに関係する値として、 $I_C(sat)$ がある。 $I_C(sat)$ は、あるゲート電圧でIGBTに流れる電流値を示すものである。この $I_C(sat)$ が大きすぎると、前記した寄生トランジスタがオンし、IGBTの破壊に至る。

【0014】 この発明は上記のような問題を解消するためになされたもので、絶縁ゲート型半導体装置の寄生トランジスタをオンし難くすることにより、SOAを改善したデバイス構造とその製造方法を提供することを目的としている。

【0015】

【課題を解決するための手段】 この第1の発明に係る絶縁ゲート型半導体装置は、第1と第2の正面を有する第1導電型の第1の半導体層と、この第1の半導体層の第1の正面上に配設された低不純物濃度の第2導電型の第2の半導体層と、この第2の半導体層の表面に配設された第1導電型の第3の半導体層と、この第3の半導体層の表面の一部に選択的に配設された第2導電型の第4の半導体層と、この第4の半導体層の表面においてこの表面に沿う方向に延長して開口し第4の半導体層の表面から第2の半導体層に達する深さを有する溝形状の内壁と、第3、第4の半導体層にわたってこれら半導体層の表面に配設され、この第4の半導体層との接合が表面に露出するとともに第4の半導体層の厚さよりも浅い底面を有し、第4の半導体層の不純物濃度よりも高い不純物濃度の第2導電型の第5の半導体層と、内壁とこの内壁



に接続する開口近傍の第4の半導体層の表面とを覆う絶縁膜と、この絶縁膜を介して内層表面上に配設されるとともに開口近傍の第4の半導体層表面に配設された絶縁膜表面より後退した表面を有する制御電極と、第4、第5の半導体層表面上に配設された第1の主電極と、第1の半導体層の第2の主面上に配設された第2の主電極と、を備えたものである。

【0016】この第2の発明に係る絶縁ゲート型半導体装置は、第1の発明に係る絶縁ゲート型半導体装置において、溝形状の内層が複数配設されるとともに、隣接するこれら内層相互間に配設された上記第5の半導体層の露出面が内層に沿って延在するものである。

【0017】この第3の発明に係る絶縁ゲート型半導体装置は、第2の発明に係る絶縁ゲート型半導体装置において、第5の半導体層の露出面が離散的に配設されたものである。

【0018】この第4の発明に係る絶縁ゲート型半導体装置は、第1と第2の主面を有する第1導電型の第1の半導体層と、この第1の半導体層の第1の主面上に配設された低不純物濃度の第2導電型の第2の半導体層と、この第2の半導体層の表面に配設された第1導電型の第3の半導体層と、この第3の半導体層の表面の一部に選択的に配設された第2導電型の第4の半導体層と、この第4の半導体層の表面においてこの表面に沿う方向に延長して開口し第4の半導体層の表面から第2の半導体層に達する深さを有する溝形状の複数の内層と、この内層に沿って離散的に延在し、隣接する内層相互間の第3、第4の半導体層にわたってこれら半導体層の表面に配設され、この第4の半導体層との接合が表面に露出する、第4の半導体層の不純物濃度よりも高い不純物濃度の第2導電型の第5の半導体層と、内層とこの内層に接続しこの内層に沿って隣接する第4の半導体層の一部表面とこの第4の半導体層の一部に隣接する第5の半導体層の一部表面とを覆う絶縁膜と、この絶縁膜を介して内層表面上に配設されるとともに開口近傍の上記第4の半導体層表面に配設された絶縁膜表面より後退した表面を有する制御電極と、第4、第5の半導体層表面上に配設された第1の主電極と、第1の半導体層の第2の主面上に配設された第2の主電極と、を備えたものである。

【0019】この第5の発明に係る絶縁ゲート型半導体装置は、第1と第2の主面を有する第1導電型の第1の半導体層と、この第1の半導体層の第1の主面上に配設された低不純物濃度の第2導電型の第2の半導体層と、この第2の半導体層の表面に配設された第1導電型の第3の半導体層と、この第3の半導体層の表面の一部に列状に並列して複数配設された第2導電型の第4の半導体層と、この第4の半導体層の表面において上記第4の半導体層の列に沿って延長する方向に開口し、上記第4の半導体層の表面から上記第2の半導体層に達する深さを有する溝形状の複数の内層と、第3、第4の半導体層に

わたってこれら半導体層の表面に配設され、この第4の半導体層との接合が表面に露出するとともに第4の半導体層の厚さよりも高い底面を有し、第4の半導体層の不純物濃度よりも高い不純物濃度の第2導電型の第5の半導体層と、内層それぞれとこの内層に接続する開口近傍の第4の半導体層の表面とを覆う絶縁膜と、この絶縁膜を介して内層表面上に配設されるとともに開口近傍の第4の半導体層表面に配設された絶縁膜表面より後退した表面を有する制御電極と、この制御電極の表面上に配設された層間絶縁膜と、第4、第5の半導体層表面上及び層間絶縁膜上に配設された第1の主電極と、第1の半導体層の第2の主面上に配設された第2の主電極と、を備えたものである。

【0020】この第6の発明に係る絶縁ゲート型半導体装置は、第5の発明に係る絶縁ゲート型半導体装置において、第5の半導体層が上記第4の半導体層に沿って離散的に配設されたものである。

【0021】この第7の発明に係る絶縁ゲート型半導体装置は、第1と第2の主面を有する第1導電型の第1の半導体層と、この第1の半導体層の第1の主面上に配設された低不純物濃度の第2導電型の第2の半導体層と、この第2の半導体層の表面に配設された第1導電型の第3の半導体層と、この第3の半導体層の表面の一部に列状に並列して複数配設された第2導電型の第4の半導体層と、この第4の半導体層の表面において第4の半導体層の列に沿って延長する方向に開口し、第4の半導体層の表面から第2の半導体層に達する深さを有する溝形状の複数の内層と、第4の半導体層に沿って離散的に延在するとともに第3、第4の半導体層にわたってこれら半導体層の表面に配設され、この第4の半導体層との接合が表面に露出した、第4の半導体層の不純物濃度よりも高い不純物濃度の第2導電型の第5の半導体層と、内層それぞれとこの内層に接続しこの内層に沿って隣接する第4の半導体層の表面とこの第4の半導体層に近接する第5の半導体層の一部表面とを覆う絶縁膜と、この絶縁膜を介して内層表面上に配設されるとともに開口近傍の第4の半導体層表面に配設された絶縁膜表面より後退した表面を有する制御電極と、この制御電極の表面上に配設された層間絶縁膜と、第4、第5の半導体層表面上及び層間絶縁膜上に配設された第1の主電極と、第1の半導体層の第2の主面上に配設された第2の主電極と、を備えたものである。

【0022】この第8の発明に係る絶縁ゲート型半導体装置は、第1と第2の主面を有する第1導電型の第1の半導体層と、この第1の半導体層の第1の主面上に配設された低不純物濃度の第2導電型の第2の半導体層と、この第2の半導体層の表面に配設された第1導電型の第3の半導体層と、この第3の半導体層の表面に第3の半導体層が露出する露出面を離散的に残して配設された第2導電型の第4の半導体層と、この第4の半導体層の表



面においてこの表面に沿う方向に延長して開口し第4の半導体層の表面から第2の半導体層に達する溝を有する溝形状の内壁と、この内壁と開口近傍であって内壁に連続する第4の半導体層及びこの第4の半導体層に隣接する第3の半導体層の一部表面とを覆う絶縁膜と、この絶縁膜を介して内壁表面上に配設されるとともに開口近傍の第4の半導体層表面に配設された絶縁膜表面より後退した表面を有する制御電極と、第3、第4の半導体層表面上に配設された第1の主電極と、第1の半導体層の第2の主面上に配設された第2の主電極と、を備えたものである。

【0023】この第9の発明に係る絶縁ゲート型半導体装置は、第8の発明に係る絶縁ゲート型半導体装置において、溝形状の内壁が複数配設されるとともに、隣接するこれら内壁相互間に第3の半導体層の露出面が配設され、この露出面が内壁に沿って内壁の延長方向に配設されたものである。

【0024】この第10の発明に係る絶縁ゲート型半導体装置の製造方法は、第1導電型の第1の半導体層の表面上に低不純物濃度の第2導電型の第2の半導体層が配設された半導体基板を形成する第1工程と、第2の半導体層側の半導体基板の第1の主面に第1導電型の不純物を注入し拡散する第2工程と、第1の主面上にレジストを被覆し、このレジストの一部を選択的に除去してレジストパターンを形成し、このレジストパターンをマスクとして第2導電型の不純物を注入し、第2工程で形成された第1導電型の第3の半導体層の表面に拡散する第3工程と、第1の主面に遮断膜を形成し、この遮断膜の第3工程で形成された第2導電型の第4の半導体層の表面上の一部にこの遮断膜の表面に沿う方向に延長した開口を形成し、この開口を有する遮断膜をマスクとして第2の半導体層に達するまで半導体を除去し、その後この遮断膜を除去する第4工程と、第4工程により形成された溝形状の内壁の表面および第1の主面に絶縁膜を形成する第5工程と、第5工程により形成された絶縁膜上に内壁が構成する溝を埋設するように導電体を被覆する第6工程と、第6工程により被覆された導電体を、内壁の構成する溝に埋設された導電体の表面が第1の主面に形成された絶縁膜の表面より後退するまで、第1の主面の絶縁膜を残して一様に除去する第7工程と、第7工程により露出した第1の主面の絶縁膜および導電体の表面上にレジストを被覆し、第8工程において選択的に残されたレジストに対応する領域とこの領域に隣接する第4の半導体層の一部表面とを囲む位置に開口を形成し、この開口を有するレジストパターンをマスクとして、絶縁膜を介して第4の半導体層の不純物濃度よりも高い不純物濃度で第1導電型の不純物を注入し、第4の半導体層の厚さより深く拡散し第3の半導体層と接続する第8工程と、第7工程により露出した絶縁膜および導電体の表面上に絶縁材を被覆する第9工程と、第9工程により被

覆された絶縁材表面にレジストを被覆し、このレジストに第8工程により形成された第1導電型の第5の半導体層とこの第5の半導体層に隣接する第4半導体層の一部とを囲む開口を形成し、この開口を有するレジストパターンをマスクとして、絶縁材及び絶縁膜を除去し、第5の半導体層と第4半導体層とを露出させる第10工程と、第10工程により露出した第4半導体層、第5の半導体層及び絶縁材表面上に導電層を被覆する第11工程と、半導体基板の第2の主面上に導電層を被覆する第12工程と、を備えたものである。

【0025】この第11の発明に係る絶縁ゲート型半導体装置の製造方法は、第1導電型の第1の半導体層の表面上に低不純物濃度の第2導電型の第2の半導体層が配設された半導体基板を形成する第1工程と、第2の半導体層側の半導体基板の第1の主面に第1導電型の不純物を注入し拡散する第2工程と、第1の主面上にレジストを被覆し、このレジストの一部を選択的に除去してレジストパターンを形成し、このレジストパターンをマスクとして第2導電型の不純物を注入し、第2工程で形成された第1導電型の第3の半導体層の表面に拡散する第3工程と、第1の主面に遮断膜を形成し、この遮断膜の第3工程で形成された第2導電型の第4の半導体層の表面上の一部にこの第4の半導体層の列に沿う方向に延長した開口を形成し、この開口を有する遮断膜をマスクとして第2の半導体層に達するまで半導体を除去し、その後この遮断膜を除去する第4工程と、第4工程により形成された溝形状の内壁の表面および第1の主面に絶縁膜を形成する第5工程と、第5工程により形成された絶縁膜上に内壁が構成する溝を埋設するように導電体を被覆する第6工程と、第6工程により被覆された導電体を、内壁の構成する溝に埋設された導電体の表面が第1の主面に形成された絶縁膜の表面より後退するまで、第1の主面の絶縁膜を残して一様に除去する第7工程と、第7工程により露出した第1の主面の絶縁膜および導電体の表面上にレジストを被覆し、第8工程において列状に残されたレジストの位置に対応する領域とこの領域に隣接する第4の半導体層の一部表面とを囲む位置に開口を形成し、この開口を有するレジストパターンをマスクとして、絶縁膜を介して第4の半導体層の不純物濃度よりも高い不純物濃度で第1導電型の不純物を注入し、第4の半導体層の厚さより深く拡散し第3の半導体層と接続する第8工程と、第7工程により露出した絶縁膜および導電体の表面上に絶縁材を被覆する第9工程と、第9工程により被覆された絶縁材表面にレジストを被覆し、このレジストに第8工程により形成された第1導電型の第5の半導体層とこの第5の半導体層に隣接する第4半導体層の一部とを囲む開口を形成し、この開口を有するレジストパターンをマスクとして、絶縁材及び絶縁膜を除去し、第5の半導体層と第4半導体層とを露出させる第10工程と、第10工

程により露出した第4半導体層、第5の半導体層及び絶縁材表面上に導電層を積層する第1.1工程と、半導体基板の第2の主面上に導電層を積層する第1.2工程と、を備えたものである。

【0026】この第1.2の発明に係る絶縁ゲート型半導体装置の製造方法は、第1.1の発明に係る絶縁ゲート型半導体装置の製造方法において、第3工程でレジストの一部を離散的に列状に配設されかつ並列する複数の領域として露しレジストパターンを形成するとともに、第1.0工程で内壁それぞれに沿って隣接する第4の半導体層の一部表面を除いて第5の半導体層と第4半導体層とを囲むレジストパターンの開口を形成したものである。

【0027】この第1.3の発明に係る絶縁ゲート型半導体装置の製造方法は、第1導電型の第1の半導体層の表面上に低不純物濃度の第2導電型の第2の半導体層が配設された半導体基板を形成する第1工程と、第2の半導体層側の半導体基板の第1の主面に第1導電型の不純物を注入し拡散する第2工程と、第1の主面上にレジストを積層し、このレジストの一部を離散的に列状に配設されかつ並列する複数の領域として露しレジストパターンを形成し、このレジストパターンをマスクとして第2導電型の不純物を注入し、第2工程で形成された第1導電型の第3の半導体層の表面に拡散する第3工程と、第1の主面に遮蔽膜を形成し、この遮蔽膜の第3工程で形成された第2導電型の第4の半導体層の表面上の一部にこの第4の半導体層の列に沿う方向に延長した開口を形成し、この開口を有する遮蔽膜をマスクとして第2の半導体層に達するまで半導体を除去し、その後この遮蔽膜を除去する第4工程と、第4工程により形成された溝形状の溝の内壁の表面および第1の主面に絶縁膜を形成する第5工程と、第5工程により形成された絶縁膜上に内壁が構成する溝を埋設するように導電体を積層する第6工程と、第6工程により積層された導電体を、内壁の構成する溝に埋設された導電体の表面が第1の主面に形成された絶縁膜の表面より突出するまで、第1の主面の絶縁膜を残して一括に除去する第7工程と、第7工程により露出した第1の主面の絶縁膜および導電体の表面上にレジストを積層し、第8工程において列状に露されたレジストの位置に対応する領域とこの領域に隣接する第4の半導体層の一部表面とを囲む位置に開口を形成し、この開口を有するレジストパターンをマスクとして、絶縁膜を介して第4の半導体層の不純物濃度よりも高い不純物濃度で第1導電型の不純物を注入し、拡散し、第3の半導体層と接する第8工程と、第7工程により露出した絶縁膜および導電体の表面上に絶縁材を積層する第9工程と、第9工程により積層された絶縁材表面にレジストを積層し、このレジストに内壁それぞれに沿って隣接する第4の半導体層の一部表面とこの第4の半導体層の一部に隣接する第8工程により形成された第1導電型の第5の半導体層の一部表面とを除いて第5の半導体層と

第4半導体層とを囲む開口を形成し、この開口を有するレジストパターンをマスクとして、絶縁材及び絶縁膜を除去し、第5の半導体層と第4半導体層とを露出させる第1.0工程と、第1.0工程により露出した第4半導体層、第5の半導体層及び絶縁材表面上に導電層を積層する第1.1工程と、半導体基板の第2の主面上に導電層を積層する第1.2工程と、を備えたものである。

【0028】この第1.4の発明に係る絶縁ゲート型半導体装置の製造方法は、第1導電型の第1の半導体層の表面上に低不純物濃度の第2導電型の第2の半導体層が配設された半導体基板を形成する第1工程と、第2の半導体層側の半導体基板の第1の主面に第1導電型の不純物を注入し拡散する第2工程と、第1の主面上にレジストを積層し、このレジストの一部を離散的に列状に配設されかつ並列する複数の領域として露しレジストパターンを形成し、このレジストパターンをマスクとして第2導電型の不純物を注入し、第2工程で形成された第1導電型の第3の半導体層の表面にレジストが覆う第3の半導体層の露出面の一部が露するように拡散する第3工程と、第1の主面に遮蔽膜を形成し、この遮蔽膜の第3工程で形成された第2導電型の第4の半導体層の表面上の一部にこの第4の半導体層の列に沿う方向に延長した開口を形成し、この開口を有する遮蔽膜をマスクとして第2の半導体層に達するまで半導体を除去し、その後この遮蔽膜を除去する第4工程と、第4工程により形成された溝形状の内壁の表面および第1の主面に絶縁膜を形成する第5工程と、第5工程により形成された絶縁膜上に内壁が構成する溝を埋設するように導電体を積層する第6工程と、第6工程により積層された導電体を、内壁の構成する溝に埋設された導電体の表面が第1の主面に形成された絶縁膜の表面より突出するまで、第1の主面の絶縁膜を残して一括に除去する第7工程と、第7工程により露出した絶縁膜および導電体の表面上に絶縁材を積層する第8工程と、第8工程により積層された絶縁材表面にレジストを積層し、内壁それぞれに沿って隣接する第4の半導体層の一部表面とこの第4の半導体層の一部表面に隣接する第3の半導体層の露出面の一部とを除いて第3の半導体層と第4半導体層とを囲む位置に対応する開口を形成し、この開口を有するレジストパターンをマスクとして絶縁材及び絶縁膜を除去し、第3の半導体層とこの第3の半導体層に隣接する第4半導体層の一部とを露出させる第9工程と、第9工程により露出した第3の半導体層、第4の半導体層及び絶縁材表面上に導電層を積層する第1.0工程と、半導体基板の第2の主面上に導電層を積層する第1.1工程と、を備えたものである。

【0029】

【発明の実施の形態】

実施の形態1

図1はこの発明の実施の一形態である絶縁ゲート型半導体装置の平面図である。以下絶縁ゲート型半導体装置の

一例として、U型IGBTを用いて説明する。図2は図1に示したU型IGBTの一部セルの部分平面図、図3は図2に示した一部セルのA-A断面での部分断面図である。図2は図3のエミッタ電極51および層間絶縁膜50を取り除いた状態で描かれている。

【0030】図1において、30はU型IGBT、31は第1の主電極としてのエミッタ電極、32はゲート配線、33はゲートパッド、34は一部セルである。

【0031】図2及び図3において、41は第1の半導体層としてのP+コレクタ層、42は第2の半導体層としてのN-層、43は第3の半導体層としてのPベース層、44は第4の半導体層としてのN+エミッタ領域、45は第5の半導体層としてのP+半導体層、46はN+バッファ層、47は溝形状の内室で、この内室47でドリフト層が形成されている。48は絶縁膜としてのゲート絶縁膜、49は制御電極としてのゲート電極、50は層間絶縁膜、51は第1の主電極としてのエミッタ電極で図1で示したエミッタ電極31の一部である。52は第2の主電極としてのコレクタ電極、53はチャネル領域である。また図2において中央部で示した点線領域の領域Cは層間絶縁膜50が覆う領域である。以下の実施の形態においても同じ符号は同じの構成を示している。

【0032】ゲート絶縁膜48は通常は酸化膜で、502。ゲート電極49はN型不純物がドーパされたポリシリコンである。層間絶縁膜50はボロンとリンを含有したシリケートガラス（以下BPSGという）、エミッタ電極51、ゲート配線32及びゲートパッド33は51含有のA1（以下A1-S1という）、コレクタ電極52はAlMoNiAu合金でそれぞれ形成されている。

【0033】ゲート配線32はセルのゲート電極49と接続されている。ゲート電極49からゲートパッド33までの経路のポリシリコン部分を少なくして、ゲート電極49からゲートパッド33までの電気抵抗を下げるとともに、素子の制御動作を素子全体で均一にする効果を有している。

【0034】この実施の形態のU型IGBTでは、P+コレクタ層41の表面にN+バッファ層46が配置され、このN+バッファ層46の表面にN-層42が配置されている。さらにこのN-層42の上にPベース層43が配置されている。Pベース層43の表面にN+エミッタ領域44が間隔をおいて帯状に配置され、このN+エミッタ領域44の帯状形状の長手方向に沿って、N+エミッタ領域44の表面からPベース層43を貫通しN-層42に至るトレンチ形状の内室47が形成されている。

【0035】二つの内室47の間で隣接するN+エミッタ領域44相互の間のPベース層43とN+エミッタ領域44との表面に、P+半導体層45がその底面をPベース層43と接触させ、その両側で一部N+エミッタ領域44と重なり、N+エミッタ領域44とP+半導体層4

5との接合が表面に露出するようにして形成されている。

【0036】通常P+半導体層45の不純物濃度はN+エミッタ領域44の不純物濃度よりも高く、N+エミッタ領域44の不純物濃度が $1 \times (1.018 \sim 1.019)$ 程度とすると、P+半導体層45の不純物濃度はN+エミッタ領域44の不純物濃度の約2倍程度とし、 $2 \times (1.018 \sim 1.019)$ 程度である。

【0037】内室47には、ゲート絶縁膜48が配置され、このゲート絶縁膜48は内室47の開口56に隣接するN+エミッタ領域44の表面上まで形成されている。ゲート絶縁膜48を介して内室47で囲まれたドリフト層は、N+エミッタ領域45の表面の開口部までゲート電極49が埋設されていて、ゲート電極49の表面は内室47の開口56に隣接するN+エミッタ領域44の表面上のゲート絶縁膜48表面よりも後退して低く形成されている。

【0038】図3においてはゲート電極49の表面とN+エミッタ領域44の表面とが同じ平面になっている。ゲート電極49の表面はN+エミッタ領域44の表面よりも更に後退してもよいが、チャネルを形成するためには、N+エミッタ領域44の厚さよりも高く配置されることが必要である。ゲート電極49はゲート絶縁膜48を介してPベース層43の表面に露出し、このPベース層43の表面がチャネル領域53となる。

【0039】ゲート電極49の表面は層間絶縁膜50で覆われており、この層間絶縁膜50を介して、N+エミッタ領域44及びP+半導体層45が配置された素子の表面上にエミッタ電極51が配置されている。そしてN+エミッタ領域45とPベース層43とがP+半導体層45を介してエミッタ電極51にコンタクトしている。また素子の表面上にはゲート電極49と接続されたゲート配線32およびゲートパッド33がN+エミッタ領域44及びP+半導体層45と絶縁されて配置されている。またP+コレクタ層41のもう一方の表面上にコレクタ電極52が配置されている。

【0040】たとえば耐圧が2000V級の素子での各部分の寸法を示すと、素子表面つまりP+半導体層45の露出面またはN+エミッタ領域44の表面からN-層42とN+バッファ層46との境界までの厚さは約200 $\mu\text{m}$ 、このN-層42の不純物濃度は $5 \times 10^{13} \text{ cm}^{-3}$ 、トレンチ状の内室47の間隔すなわちセル間隔が約4 $\mu\text{m}$ で、N+エミッタ領域45表面からの内室47の深さは約8 $\mu\text{m}$ である。N+エミッタ領域44の底部とPベース層43との接合面の深さは、N+エミッタ領域44またはP+半導体層45の表面からそれぞれ約1 $\mu\text{m}$ である。N+バッファ層46の厚みは約10 $\mu\text{m}$ 、P+コレクタ層41の厚みは約300 $\mu\text{m}$ である。

【0041】次に動作について説明する。エミッタ電極51とコレクタ電極52との間に所定のコレクタ電圧V



CEを、エミッタ電極51とゲート電極49との間に所定のゲート電圧V<sub>GE</sub>を印加する。すなわちゲートをオンすると、チャネル領域53がN型に反転しチャネルが形成される。このチャネルを通してエミッタ電極51から電子がN層43を經由してN層42に注入される。この注入された電子によりN<sup>+</sup>パツファ層45を介してP<sup>+</sup>コレクタ層41とN層42との間がバイアスされ、コレクタ電極52からP<sup>+</sup>コレクタ層41およびN<sup>+</sup>パツファ層45を經由してN層42にホールが注入される。この結果電流密度によりN層42の抵抗が大幅に低下し、IGBTの電流密度は増大する。

【0042】次に、IGBTのオン状態からオフ状態にする際には、エミッタ電極51とゲート電極49との間に印加されていたゲート電圧V<sub>GE</sub>をOVまたは逆バイアスにする。すなわちゲートをオフすると、N型に反転していたチャネル領域53がP型に戻り、エミッタ電極51からの電子の注入が停止し、P<sup>+</sup>コレクタ層41からN層42へのホールの注入も停止する。その後N層42に蓄積されていた電子とホールはそれぞれコレクタ電極52、エミッタ電極51へ抜けて行くが、または互いに再結合し消滅する。この際にP<sup>+</sup>半導体層45におけるホールの移動が容易になるため、スイッチング速度が増大する。

【0043】図4はこの発明の模式的断面図である。図4はこの発明のP<sup>+</sup>半導体層45の作用を説明するためのもので、ゲート電極49の表面は、N<sup>+</sup>エミッタ領域44の表面からN<sup>+</sup>エミッタ領域44の厚さの半程度低い位置に形成されている。ゲート電極49の表面が低く形成されると、N<sup>+</sup>エミッタ領域44の厚さも厚くする必要がある。N<sup>+</sup>エミッタ領域44は通常拡散により形成され、この厚さを厚くした場合、横方向拡散のために、トレンチ状の内層47相互の間に配置されたN<sup>+</sup>エミッタ領域44の隣接する先端が極めて近接してくる。

【0044】このためPベース領域43の露出面が極めて狭くなり、場合によればN<sup>+</sup>エミッタ領域44の隣接する先端同士が接触し、Pベース領域43の露出面がなくなり、エミッタ電極51とのコンタクトを採ることができなくなる様な事態になる。従来は、これを防ぐためには、トレンチ間隔を広くしていたのであるが、内層47相互の間に配置されたN<sup>+</sup>エミッタ領域44の隣接する先端の間に、Pベース領域43とその底部で接触するようにN<sup>+</sup>エミッタ領域44と一部重なりP<sup>+</sup>半導体層45を設け、P<sup>+</sup>半導体層45とN<sup>+</sup>エミッタ領域44との接合を素子表面にまで露出させることにより、P<sup>+</sup>半導体層45とエミッタ電極51とのコンタクトを広く確保することができる。このためにN<sup>+</sup>エミッタ領域44の隣接する先端が近接することに関してそれほどの考慮を払わなくても、トレンチ間隔を縮小することができる。

【0045】特にゲート電極49の表面がN<sup>+</sup>エミッタ

領域44の表面から後退した位置に形成された場合、N<sup>+</sup>エミッタ領域44を厚く拡散することが必要となり、トレンチ間隔を縮小した場合N<sup>+</sup>エミッタ領域44の隣接する先端同士が近接し、場合によっては接触することが起こり得るが、たとえN<sup>+</sup>エミッタ領域44の隣接する先端が接触したとしても、N<sup>+</sup>エミッタ領域44を貫通してP<sup>+</sup>半導体層45を設け、P<sup>+</sup>半導体層45とPベース領域43とを接触させることにより、P<sup>+</sup>半導体層45を介してPベース領域43とN<sup>+</sup>エミッタ領域44とをエミッタ電極51にコンタクトさせることが出来る。

【0046】N<sup>+</sup>エミッタ領域44はPベース領域43に拡散することにより形成されるので、N<sup>+</sup>エミッタ領域44の不純物濃度はPベース領域43の不純物濃度より高く、またP<sup>+</sup>半導体層45はN<sup>+</sup>エミッタ領域44の隣接する先端と重なるように拡散にて形成するので、P<sup>+</sup>半導体層45の不純物濃度はN<sup>+</sup>エミッタ領域44の不純物濃度より高くなければならない。

【0047】もしP<sup>+</sup>半導体層45を先に形成しておいて、後にP<sup>+</sup>半導体層45より高い不純物濃度でN<sup>+</sup>エミッタ領域44を形成するとすれば、N<sup>+</sup>エミッタ領域44の隣接する先端が近接して、この実施の形態におけるP<sup>+</sup>半導体層45はN<sup>+</sup>エミッタ領域44に併合されてしまい、この実施の形態1におけるP<sup>+</sup>半導体層45の働きは生じない。

【0048】図5はU型IGBTのトレンチピッチとオン電圧との関係を示すグラフである。図5に示されるように、U型IGBTのトレンチピッチを小さくするほど、オン電圧が低下し、延いてはオン電圧が関係するU型IGBTの諸特性がよくなる事がわかる。

【0049】以上のように、この実施の形態では、U型IGBTのN<sup>+</sup>エミッタ領域44の隣接する先端に重なるようにしてP<sup>+</sup>半導体層45を設け、P<sup>+</sup>半導体層45とPベース領域43とを接触させることにより、エミッタ電極51とPベース領域43とをP<sup>+</sup>半導体層45を介してコンタクトさせ、トレンチピッチを小さくすることができオン電圧を低くすることができる。延いては素子の小形高密度化や、信頼性の向上を図ることができる。

【0050】また、トレンチピッチを小さくすることによりN<sup>+</sup>エミッタ領域44とPベース層43とN層2とから構成される寄生バイポーラトランジスタをオンし難くすることができる。すなわち、RBSOAにあるIGBTのオフ状態でも、通常のオン状態からオフ状態の動作と同様に、N層2（N<sup>+</sup>パツファ層9が設けられているときにはN<sup>+</sup>パツファ層9）に蓄積された電子とホールはそれぞれコレクタ電極11、エミッタ電極10へ抜けて行くが、または互いに再結合して消滅する。

【0051】この場合、ホールがエミッタ電極10へ抜ける時セルサイズが小さいと一つのセルに抜けるホール



の量は少なくなる。このホール電流は寄生バイポーラトランジスタのベース電流となるから、Pベース層3の電位がPベース層3とN+エミッタ領域4とのビルトインポテンシャル（一般に0.6V）を超えると寄生バイポーラトランジスタはオンすることになる。

【0052】しかしながら、このホール電流を少なくすることによって電圧降下が少なくなり、Pベース層3とN+エミッタ領域4とのビルトインポテンシャルに近くなり、寄生バイポーラトランジスタがオンしにくくなる。つまりRBSOAが広くなる。

【0053】第1の発明のように構成された絶縁ゲート型半導体装置は、第5の半導体層が第3、第4の半導体層にわたってこれら半導体層の表面に配設され、第4の半導体層との接合が表面に露出するとともに第4の半導体層の厚さよりも深い底面を有している。第4の半導体層に隣接する第3の半導体層の露出面が狭くなったとしても第5の半導体層を介して第1の主電極による第3の半導体層と第4の半導体層とのコンタクトを確保することができ、セルサイズを小さくすることができ、オン電圧を低下できるとともに寄生トランジスタが起動しなくなり、ターンオフの際にはオフ出来る電流値が低下しない。従って消費電力が少なく、RBSOAが広く、信頼性の高い絶縁ゲート型半導体装置を提供することができる。

【0054】第2の発明のように構成された絶縁ゲート型半導体装置は、溝形状の内室が複数配設されるとともに隣接するこれら内室相互間に第5の半導体層の露出面が配設され、この露出面が内室に沿って内室の延長方向に配設されたので、制御電極が複数形成でき、また第5の半導体層の露出面を介して互いに隣接する第4の半導体層を極めて近接させた場合でも、第5の半導体層を介して第1の主電極による第3の半導体層と第4の半導体層とのコンタクトを確保することができる。従って、トレンチ間隔を狭くでき、小形高密度の絶縁ゲート型半導体装置を提供することができる。

【0055】第3の発明のように構成された絶縁ゲート型半導体装置は、第4の半導体層が第5の半導体層を列状に囲むとともにこの配列に沿って複数の内室を設け、さらに制御電極の表面上に層間絶縁膜を配設し、第4、第5の半導体層表面上及び層間絶縁膜上に第1の主電極を配設したので、制御電極が複数形成でき、また第5の半導体層の露出面を狭く構成でき、層間絶縁膜のマスク合わせの余裕分を考慮しなくても、第5の半導体層を介して第1の主電極による第3の半導体層と第4の半導体層とのコンタクトを確保することができる。このためトレンチ間隔を狭く構成でき、セルサイズを小さくすることができる。従ってオン電圧を低下できるとともに、寄生トランジスタが起動しなくなり、ターンオフの際にはオフ出来る電流値が低下しない。このため消費電力が少なく、RBSOAが広くて信頼性が高く、小形で高密度

な絶縁ゲート型半導体装置を提供することができる。

【0056】次にこの実施の形態のU型IGBTの製造方法の一例を説明する。図5～図14は各工程での素子を示す部分断面図である。まず、P+シリコン基板60の上にN+層51及びN-層52が順次エピタキシャル成長により形成される。次にN-層52の表面にP型不純物を注入し、アニールすることによりPベース層53を形成する（図5参照）。

【0057】次に、Pベース層53の表面にレジストを塗布し、写真製版工程により、帯状開口を複数並列して設けたレジストパターン54が形成され、このレジストパターン54をマスクとしてPベース層53の表面にN型不純物を高濃度に注入しアニールにより拡散しN+エミッタ領域55が形成される（図7参照）。この後レジストパターン54を除去する。

【0058】この後Pベース層53及びN+エミッタ領域55の表面上に遮断膜としての酸化膜56を形成し、この酸化膜56でN+エミッタ領域55それぞれの表面にN+エミッタ領域55より深い幅で帯状の開口を設けたシリコンエッチング用マスクが形成され、このシリコンエッチング用マスクをマスクとしてRIE（Reactive Ion Etching）によりエッチングを行い、N+エミッタ領域55表面からN-層52まで貫通するトレンチ状の内室57を形成する（図8参照）。その後、酸化膜56をエッチングにより除去する。

【0059】次いでトレンチ状の内室57の表面、Pベース層53の表面およびN+エミッタ領域55の表面に絶縁膜としての熱酸化膜58を形成し、この熱酸化膜58の上に、導電体としてのN型不純物がドーパされたポリシリコン59が塗布され内室57により構成された溝を埋設する（図9参照）。

【0060】次に塗布されたポリシリコン59を、内室57により構成された溝を埋設するポリシリコン59の表面がN+エミッタ領域55の表面上に形成された熱酸化膜58の表面より露出するまでエッチバックする（図10参照）。このエッチバックはポリシリコン59の表面がN+エミッタ領域55の厚さよりも薄くなければならない。

【0061】次に内室57により構成された溝を埋設するポリシリコン59の表面上及び熱酸化膜58の表面上にレジスト70を塗布し、写真製版工程によりPベース層53の表面とこのPベース層53に隣接し内室57に沿って延在するN+エミッタ領域55の一部とを囲む開口をレジスト70に形成してレジストパターンとし、このレジストパターンをマスクとして、熱酸化膜58を介してP型不純物をN+エミッタ領域55よりも高い不純物濃度で注入し、熱処理工程によりN+エミッタ領域55の厚みより深く拡散し、Pベース層53と底面に接触するP+半導体層71を形成する（図11参照）。この後レジストパターンを除去する。

【0062】次いで、内壁67により構成された溝を埋設するポリシリコン69の表面上及び熱酸化膜68の表面上に絶縁材としてのBPSG72を被覆する(図12参照)。この後、BPSG72の表面上にレジスト73を被覆し、写真製版工程により、P+半導体層71とこのP+半導体層71に隣接し内壁67に沿って延在するN+エミッタ領域65の一部とを囲む開口をレジスト73に形成してレジストパターンとし、このレジストパターンをマスクとしてBPSG72と熱酸化膜68とをエッチングし、内壁67で構成される溝に埋設されたポリシリコン69の表面上に層間絶縁膜72を形成する(図13参照)。この後レジストパターンを除去する。

【0063】その後エッチングで露出したP+半導体層71とN+エミッタ領域65とが短絡するように、P+半導体層71、N+エミッタ領域65及び層間絶縁膜72が配設された素子表面上に導電層としてのAl-Siが被覆され、エミッタ電極73と内壁67で構成される溝のポリシリコン69に接続されるゲート配線とゲートパッドとが同時に形成される(図14参照)。更にP+基板60の表面上に導電層としてのAlMoNiAu合金が被覆されコレクタ電極75が形成される。このような製造工程を繰り返すことにより、この実施の形態のU型1GBTを素子面に製造することができる。

【0064】第10の発明のように構成された絶縁ゲート型半導体装置の製造方法は、第3の半導体層の露出面が狭くなったとしても第5の半導体層を介して第1の主電極による第3の半導体層と第4の半導体層とのコンタクトを確保することができる絶縁ゲート型半導体装置を、複雑な工程無しに素子面に製造することができる。

【0065】第11の発明のように構成された絶縁ゲート型半導体装置の製造方法は、層間絶縁膜形成のためのマスク合わせの余裕分を少なくすることができセル間隔を縮小した絶縁ゲート型半導体装置を、複雑な工程無しに素子面に製造することができる。

#### 【0066】実施の形態2

図15はこの発明の他の実施の一形態であるU型1GBTの部分平面図、図16は図15に示した一部セルのA-A断面での部分断面図、図17は図15に示した一部セルのB-B断面での部分断面図である。図15はエミッタ電極51および層間絶縁膜50を取り除いた状態で描かれている。また中括弧で示した2点領域間の領域Cは層間絶縁膜50が覆う領域である。

【0067】図15、図16および図17において、この実施の形態のU型1GBTは、溝状の内壁47相互間に形成されたN+エミッタ領域44の平面形状が梯子形状に形成されている。すなわち、P+半導体層45の露出面を挟んでN+エミッタ領域44が帯状に並列され、このN+エミッタ領域44の表面に開口を有する溝状の内壁47がN+エミッタ領域44の長手方向に沿って延

在され、この内壁に埋設されたゲート電極49相互間のN+エミッタ領域44は互いに連結部55で繋がれ、この連結部55と交互にP+半導体層45の露出面が配設されている。

【0068】層間絶縁膜50の領域Cはゲート電極49を覆い、溝状の内壁47に沿って隣接するN+エミッタ領域44に及んでいるが、P+半導体層45の露出面には及んでいない。

【0069】その他の部分の構成は実施の形態1のU型1GBTと同様である。N+エミッタ領域44の平面形状をこのように梯子形状に形成することにより、エミッタ電極51がN+エミッタ領域45とコンタクトするコンタクト領域を、連結部55でもとることができ、コンタクト領域を形成する際のマスクずれの余裕分を考慮する必要がなくなる。すなわち、図13に示されたレジストパターン73を形成する際にマスクずれの余裕分を考慮する必要がなく、セル間隔を縮小することができるから、図2のようにN+エミッタ領域45を単にゲート電極49に沿わせる構成と比較して、セルの微細化が可能となる。またコンタクト領域を素子表面全体にバラシス、良く配置することができる。

【0070】従って素子の高密度化が実現できてオン電圧を低減でき、またセルの動作特性を素子全体で均一化を図ることができる。また、N+エミッタ領域44の平面形状を梯子形状に形成し、P+半導体層45を露けず、単にP+ベース領域43の露出面を露けた場合においては、N+エミッタ領域44の厚さが厚くなるに伴って、横方向拡散によりN+エミッタ領域45の連結部55の幅が広くなり、この連結部55直下を流れるホール電流の量が多くなる。このホールがN+エミッタ領域44とP+ベース領域43とN+層42とから構成される寄生バイポーラトランジスタのベース電流となることから、この寄生バイポーラトランジスタをオンしやすくすることがあったが、P+半導体層45を露けることにより、連結部55の幅方向の拡散を狭くすることとなり、寄生バイポーラトランジスタのオンしやすさを防止することができる。延いてはRBSOAの低下を防止できる。

【0071】第3の発明のように構成された絶縁ゲート型半導体装置は、第5の半導体層の露出面が離散的に配設されたので、隣接する内壁相互間の第5の半導体層の露出面を離散的に分離する第4の半導体層の連結部により、第1の主電極による第3の半導体層と第4の半導体層とのコンタクトを確保できるから、トレンチ間隔を狭くでき、小形高密度の絶縁ゲート型半導体装置を提供することができる。

【0072】第6の発明のように構成された絶縁ゲート型半導体装置は、第5の半導体層の露出面が離散的に配設されたので、隣接する内壁相互間の第5の半導体層の露出面を分離する第4の半導体層の連結部は層間絶縁膜により被覆されないから、この第4の半導体層の連結部

によって第1の主電極による第3の半導体層と第4の半導体層とのコンタクトを確保できるので、さらにトレンチ間隔を狭くでき、小形高密度の絶縁ゲート型半導体装置を提供することができる。この実施の形態の製造工程は、実施の形態1の製造工程と比較すると、N+エミッタ領域65の製造工程のレジストパターンが相違し、Pベース層63の表面にレジストを被覆し、写真製版工程により、複数並列し帯状開口とこの帯状開口を連結する開口を設け、レジストを離散的に列状に残したレジストパターンを形成し、このレジストパターン64をマスクとしてPベース層63の表面にN型不純物を高濃度で注入しアニールにより拡散しN+エミッタ領域65を形成するものである。また、実施の形態1の製造工程と比較して、ポリシリコン69をエッチバックした後、P+半導体層71を形成するさいのレジストパターンの形状が異なり、N+エミッタ領域65に離散的に形成されたPベース層63の露出面に对应してレジストに開口が設けられこれをレジストパターンとして、不純物を注入し、熱処理工程により拡散してP+半導体層71を形成するものである。

【0073】第12の発明のように構成された絶縁ゲート型半導体装置の製造方法は、隣接する内室相互間の第3の半導体層の露出面を分離する第4の半導体層の連結部が層間絶縁膜により被覆され、この第4の半導体層の連結部と第3の半導体層とによって、第1の主電極による第3の半導体層と第4の半導体層とのコンタクトを確保でき、セル間隔を微小化した絶縁ゲート型半導体装置を、複雑な工程無しに安価に製造することができる。

#### 【0074】実施の形態3

図18はこの発明の他の実施の形態であるU型IGBTの部分断面図、図19は図18に示した一部セルのA-A断面での部分断面図、図20は図18に示した一部セルのB-B断面での部分断面図である。図18はエミッタ電極51および層間絶縁膜50を取り除いた状態で描かれている。また中括弧で示した2点鎖線間の領域Cは層間絶縁膜50が覆う領域である。

【0075】図18、図19および図20において、この実施の形態のU型IGBTは、溝状の内室47相互に形成されたN+エミッタ領域44の平面形状が楕円形状に形成されている。そしてこの実施の形態ではP+半導体層45を設けずに、Pベース層43の露出面を内室47相互間のN+エミッタ領域44に、内室47の延長方向に沿って離散的に設けたものである。

【0076】すなわち、Pベース層43の露出面を挟んでN+エミッタ領域44が帯状に並列され、このN+エミッタ領域44の表面に開口を有する溝状の内室47がN+エミッタ領域44の長手方向に沿って延在され、この内室に埋設されたゲート電極49相互間のN+エミッタ領域44は互いに連結部55で繋がれ、この連結部55と交互にPベース層43の露出面が配設されている。

【0077】層間絶縁膜50の領域Cはゲート電極49を覆い、溝状の内室47に沿って隣接するN+エミッタ領域44を覆いさらにこのN+エミッタ領域44に近接するPベース層43に及んでいる。このため、エミッタ電極51はN+エミッタ領域44の連結部55とPベース層43の露出面とに交互にコンタクトするとともに、離散的に配列された連結部55相互間の、Pベース層43の露出面と溝状の内室47とに挟まれたN+エミッタ領域44は層間絶縁膜50に覆われてエミッタ電極51とはコンタクトしない。このためPベース層43の露出面と溝状の内室47とに挟まれたN+エミッタ領域44はエミッタ抵抗領域57となり、エミッタ電極にはエミッタ抵抗がはさまれたことになる。

【0078】次にこの実施の形態の動作について説明する。このようなPベース層43の露出面と溝状の内室47とに挟まれたエミッタ抵抗領域57のエミッタ抵抗値は小さいので定格電流程度の電流に対しては、このエミッタ抵抗領域57のエミッタ抵抗は無い場合に等しい。あるいはこのエミッタ抵抗領域57が設けられてもVCE(sat)が変化しない程度のエミッタ抵抗値となるようにエミッタ抵抗領域57を設定する。

【0079】しかしながら、VCE(sat)が変化しない程度のエミッタ抵抗であったとしても、短絡時のように大電流が流れる場合には、エミッタ抵抗があればエミッタ領域44においても電圧降下が生じる。この電圧降下は、Pベース層43とエミッタ領域44との間の電圧差を無くすように働く。つまり、N+エミッタ領域44とPベース層43とN+層42とから構成される寄生バイポーラトランジスタのビルトインポテンシャル（一般に0.5V）を超えるのを阻止するように働き、寄生バイポーラトランジスタがオンしにくくなる。従ってRBSOAが広がる。

【0080】さらに、素子の破壊に結び付く電流特性としてIC(sat)がある。例えば短絡時、つまり高電圧が印加されている状態でIGBTがオン状態になった場合、IGBTに流れる電流はIC(sat)に依存する。短絡時に発生する熱は、印加されている電圧×IGBTに流れる電流×短絡時間により決まる。この発生熱によりIGBTがある温度に達すると、IGBTが破壊する。

【0081】一方エミッタ抵抗が存在するとIC(sat)が小さくなることが知られており、この実施の形態では、Pベース層43の露出面と溝状の内室47とに挟まれたN+エミッタ領域44を層間絶縁膜50で覆うという簡単な構成でエミッタ抵抗領域57を形成し、エミッタ抵抗を設けることにより短絡時の破壊耐性を向上させることができる。

【0082】第8の発明のように構成された絶縁ゲート型半導体装置は、絶縁膜が離散的な第3の半導体層を介して配設された第4の半導体層のうち室面3に沿って隣接



する第4の半導体層とこの第4の半導体層に近接する第3の半導体層の一部とを覆っている。第3の半導体層を分離する第4の半導体層の連結部と第3の半導体層とが交互に第1の主電極とコンタクトし、第3の半導体層と内壁との間に挟まれた第4の半導体層は第1の主電極とコンタクトしないから、この部分が第1の主電極とコンタクトする第4の半導体層相互間の抵抗として作用し、第4の半導体層の領域で電圧降下を発生させるので、寄生バイポーラトランジスタがオンしにくくなり、RBSOAが広く、信頼性の高い絶縁ゲート型半導体装置を提供することができる。

【0083】第9の発明のように構成された絶縁ゲート型半導体装置は、第3の半導体層が隣接する内壁相互間にこれら内壁に沿って離散的に配設され、絶縁膜が第3の半導体層を介して配設された第4の半導体層のうち壁面に沿って隣接する第4の半導体層とこの第4の半導体層に近接する第3の半導体層の一部とを覆っている。このため、制御電極が複数形成でき、また第3の半導体層を分離する第4の半導体層の連結部と第3の半導体層とが交互に第1の主電極とコンタクトし、第3の半導体層と内壁との間に挟まれた第4の半導体層は第1の主電極とコンタクトしないから、この部分が第1の主電極とコンタクトする第4の半導体層相互間の抵抗として作用し、第4の半導体層の領域で電圧降下を発生させ、寄生バイポーラトランジスタがオンしにくくなり、RBSOAが広く、小形高密度で、信頼性の高い絶縁ゲート型半導体装置を提供することができる。

【0084】この実施の形態の製造工程は、実施の形態2の製造工程とはP+半導体層71を形成する工程を省略することと、層間絶縁膜を形成する工程において積層したレジスト73に、内壁67に沿って延在するN+エミッタ領域65の一部とこのN+エミッタ領域65の一部と近接するP+ベース層63の露出面の一部を除いて、P+ベース層63とN+エミッタ領域65の連結部とを囲む開口を形成しレジストパターンとする点で相違している。この第4の発明のように構成された絶縁ゲート型半導体装置の製造方法は、第3の半導体層の露出面を狭く形成でき、第3の半導体層と内壁との間に挟まれた第4の半導体層が第1の主電極とコンタクトする第4の半導体層相互間の抵抗として作用し、第4の半導体層の領域で電圧降下を発生させる絶縁ゲート型半導体装置を複雑な工程無しに製造することができる。

#### 【0085】実施の形態4

図21はこの発明の他の一実施の形態であるU型IGBTの部分平面図、図22は図21に示した一部セルのA-A断面での部分断面図、図23は図21に示した一部セルのB-B断面での部分断面図である。図21はエミッタ電極51および層間絶縁膜50を取り除いた状態で描かれている。また中括弧で示した2点鎖線間の領域Cは層間絶縁膜50が覆う領域である。図21、図22お

よび図23において、この実施の形態のU型IGBTは、溝状の内壁47間相互に形成されたN+エミッタ領域44の平面形状が鏡子形状に形成されている。すなわち、P+半導体層45の露出面を採ってN+エミッタ領域44が帯状に並列され、このN+エミッタ領域44の表面に開口を有する溝状の内壁47がN+エミッタ領域44の長手方向に沿って延在され、この内壁に埋設されたゲート電極49相互間のN+エミッタ領域44は互いに連結部55で繋がれ、この連結部55と交互にP+半導体層45の露出面が配設されている。

【0086】層間絶縁膜50の領域Cはゲート電極49を覆い、溝状の内壁47に沿って隣接するN+エミッタ領域44を覆いさらにこのN+エミッタ領域44に近接するP+半導体層45に及んでいる。エミッタ電極51はN+エミッタ領域44の連結部55とP+半導体層45の露出面とに交互にコンタクトするとともに、離散的に配列された連結部55相互間の、P+半導体層45の露出面と溝状の内壁47とに挟まれたN+エミッタ領域44は層間絶縁膜50に覆われてエミッタ電極51とはコンタクトしない。

【0087】このためP+半導体層45の露出面と溝状の内壁47とに挟まれたN+エミッタ領域44はエミッタ抵抗領域57となり、エミッタ電極にはエミッタ抵抗がはさまれたことになる。そこで実施の形態3と同様に、短絡時のように大電流が流れる場合には、このエミッタ抵抗があればエミッタ領域44においても電圧降下が生じる。この電圧降下は、P+ベース層43とエミッタ領域44との間の電圧差を無くすように働く。

【0088】つまり、N+エミッタ領域44とP+ベース層43とN+層42とから構成される寄生バイポーラトランジスタのヒルトインポテンシャル（一般に0.6V）を超えるのを阻止するように働き、寄生バイポーラトランジスタがオンしにくくなる。従ってRBSOAが広がる。また、実施の形態3と同様に、 $I_{C(sat)}$ 低下させることができ、P+半導体層45の露出面と溝状の内壁47とに挟まれたN+エミッタ領域44を層間絶縁膜50で覆うという簡単な構成でエミッタ抵抗領域57を形成し、エミッタ抵抗を誘起することにより短絡時の破壊耐性を向上させることができる。

【0089】さらにこの実施の形態では、実施の形態3の構成におけるP+ベース層43の露出面にP+半導体層45が配設された構成になっている。このP+半導体層45は実施の形態1と同様に、P+半導体層45の不純物濃度はN+エミッタ領域44の不純物濃度よりも高く、N+エミッタ領域44の不純物濃度が $1 \times (1.018 \sim 1.019)$ 程度とすると、P+半導体層45の不純物濃度はN+エミッタ領域44の不純物濃度の約2倍程度とし、 $2 \times (1.018 \sim 1.019)$ 程度である。

【0090】N+エミッタ領域44の形成工程におけるN+不純物の播方向並立、層間絶縁膜50の形成工程



におけるゲートコンタクトアーチが十分とれない場合などはトレンチ状の内壁47相互の間に配置されたN+エミッタ領域44の隣接する先端が極めて近接してくる。これを避けるために隣トレンチ間隔を広くせざるを得なかったが、このような場合でも、N+エミッタ領域44の隣接する先端相互の間にP+半導体層45を設けることにより、P+半導体層45とエミッタ電極とを介してN+エミッタ領域44とPベース領域43とのコンタクトをとることができ、トレンチ間隔を狭く構成することができるから、寄生トランジスタをオンし難くするとともに、オン電圧を低くし素子の高密度化を図ることができる。

【0091】さらにこの実施の形態では、P+半導体層45の拡散領域を上げ、P+半導体層45の露出面と溝状の内壁47とに接まれたN+エミッタ領域44を層間絶縁膜50で覆うという簡単な構成でエミッタ抵抗領域57を形成し、特にエミッタ抵抗を設けるためのスペースを確保する必要なしに、セルサイズを大きくせずに短絡時の破壊耐性を向上させることができる。

【0092】また、図22ではP+半導体層45がN+エミッタ領域44の厚さよりも狭く形成されている。しかし、この実施の形態では、P+半導体層45とエミッタ電極とを介して行なうN+エミッタ領域44とPベース領域43とのコンタクトは、P+半導体層45の露出面と溝状の内壁47とに接まれたN+エミッタ領域44で行なわれるので、P+半導体層45の露出面と溝状の内壁47とに接まれたN+エミッタ領域44がP+半導体層45を形成する際の横方向拡散で狭くなくても、エミッタ抵抗領域57を形成する程度に形成されていればよいから、横方向拡散を考慮してP+半導体層45の拡散深さをN+エミッタ領域44の厚さよりも狭く形成しておくことは必ずしも必要ではない。

【0093】第4の発明のように構成された絶縁ゲート型半導体装置は、絶縁膜が内壁とこの内壁に沿って隣接する第4の半導体層の一部表面とこの第4の半導体層の一部に隣接する第5の半導体層の一部表面とを覆っている。隣接する内壁相互間の第5の半導体層を分離する第4の半導体層の連結部と第5の半導体層とが交互に第1の主電極とコンタクトし、第5の半導体層と内壁との間に接まれた第4の半導体層は第1の主電極とコンタクトしないから、この部分が第1の主電極とコンタクトする第4の半導体層相互間の抵抗として作用し、大電流が流れたときに第4の半導体層の領域で電圧降下が発生させ、寄生バイポーラトランジスタがオンしにくくなり、RBSOAが広く、小形高密度で、信頼性の高い絶縁ゲート型半導体装置を提供することができる。

【0094】第7の発明のように構成された絶縁ゲート型半導体装置は、絶縁膜が隣接する内壁相互間の離散的な第5の半導体層を介して配設された第4の半導体層の

うち壁面に沿って隣接する第4の半導体層とこの第4の半導体層に隣接する第5の半導体層の一部とを覆っている。第5の半導体層を離散的に分離する第4の半導体層の連結部と第5の半導体層とが交互に第1の主電極とコンタクトし、第5の半導体層と内壁との間に接まれた第4の半導体層は第1の主電極とコンタクトしないから、この部分が第1の主電極とコンタクトする第4の半導体層相互間の抵抗として作用し、大電流が流れたときに第4の半導体層の領域で電圧降下が発生させ、寄生バイポーラトランジスタがオンしにくくなり、RBSOAが広く、またセルサイズを大きくせずに短絡時の破壊耐性を向上させることができ、小形高密度で、信頼性の高い絶縁ゲート型半導体装置を提供することができる。

【0095】図24及び図25はこの実施の形態の各工程での素子を示す部分断面図である。この実施の形態の製造工程は、実施の形態1の製造工程のN+エミッタ領域65の製造工程のレジストパターンが相違すること、図13に示された層間絶縁膜を形成する工程のレジストパターンが異なり、他の工程は同様である。すなわち、Pベース層63の表面にレジストを被覆し、写真製版工程により、複数並列し帯状開口とこの帯状開口を連結する開口を設け、レジストを離散的に列状に残したレジストパターンを形成し、このレジストパターン64をマスクとしてPベース層63の表面にN型不純物を高濃度に入力しアニールにより拡散しN+エミッタ領域65を形成するものである。また、P+半導体層71を内壁67に沿ってN+エミッタ領域65の連結部と交互になるように形成した後、内壁67により構成される溝を埋設するポリシリコン69の表面上及び熱酸化膜68の表面上にBPSG72を被覆し、BPSG72の表面上にレジスト73を被覆し、写真製版工程により、内壁67に沿って延在するN+エミッタ領域65の一部とこのN+エミッタ領域65の一部に近接するP+半導体層71の一部を除いて、P+半導体層71とN+エミッタ領域65の連結部とを囲む開口をレジスト73に形成してレジストパターンとし、このレジストパターンをマスクとしてBPSG72と熱酸化膜68とをエッチングし、内壁67で構成される溝に埋設されたポリシリコン69の表面上に層間絶縁膜72を形成する(図24参照)。この後レジストパターンを除去する。

【0096】その後エッチングで露出したP+半導体層71とN+エミッタ領域65とが短絡するように、P+半導体層71、N+エミッタ領域65及び層間絶縁膜72が配設された素子表面上に集電層としてのAl-Siが被覆され、エミッタ電極73と内壁67で構成される溝のポリシリコン69に接続されるゲート配線とゲートパッドとが同時に形成される(図25参照)。

【0097】更にP+基板60の表面上に集電層としてのAlMoN1Au合金が被覆されコレクタ電極75が形成される。このような製造工程を繰り返すことにより、この実

施の形態のU型IGBTを表面に製造することができる。またこの製造工程の説明では、P<sub>1</sub>半導体層71の形成を実施の形態1と同様としているが、先に説明したように、この実施の形態の構成においては横方向拡散を考慮してP<sub>1</sub>半導体層45の拡散深さをN<sub>1</sub>エミッタ領域44の厚さよりも深く形成しておくことは必ずしも必要ではないので、製造工程においても熱酸化膜69を介してP型不純物をN<sub>1</sub>エミッタ領域65よりも高い不純物濃度で注入し、熱処理工程によりN<sub>1</sub>エミッタ領域65の厚みより深く拡散し、Pベース層63と底面で接触するP<sub>1</sub>半導体層71を形成しても構わない。

【0098】第13の発明のように構成された絶縁ゲート型半導体装置の製造方法は、第5の半導体層と内壁との間に挟まれた第4の半導体層が第1の主電極とコンタクトする第4の半導体層相互間の抵抗として作用し、大電流が流れたときに第4の半導体層の領域で電圧降下を発生させるため、寄生バイポーラトランジスタがオンしにくくなり、RBSOAが広く、小形高密度で、信頼性の高い絶縁ゲート型半導体装置を製造工程無しに製造することができる。ところで、上記説明ではこの発明をNチャネルのU型IGBTについて説明してきたが、PチャネルのU型IGBTについてもこの発明を適用できることは言うまでもない。

【0099】

【発明の効果】この発明は以上説明したように構成されているので以下に示すような効果がある。第1の発明のように構成された絶縁ゲート型半導体装置は、第5の半導体層が第3、第4の半導体層の表面に配設され、第5の半導体層と第3の半導体層とが接触されているので、第4の半導体層に隣接する第3の半導体層の露出面が狭くなったとしても第5の半導体層を介して第1の主電極による第3の半導体層と第4の半導体層とのコンタクトを確保することができるから、セルサイズを小さくすることができ、オン電圧を低下できるとともに、寄生トランジスタが起動し難くなり、ターンオフの際にはオフ出来る電流値が低下しない、従って消費電力が少なく、RBSOAが広く、信頼性の高い絶縁ゲート型半導体装置を提供することができる。

【0100】第2の発明のように構成された絶縁ゲート型半導体装置は、溝形状の内壁が複数配設でき、第5の半導体層の露出面が内壁に沿って内壁の延長方向に配設されているので、第5の半導体層の露出面を介して第1の主電極による第3の半導体層と第4の半導体層とのコンタクトを確保することができる。従って、トレンチ間隔を狭くでき、小形高密度の絶縁ゲート型半導体装置を提供することができる。

【0101】第3の発明のように構成された絶縁ゲート型半導体装置は、第5の半導体層の露出面が離散的に配設されたので、隣接する内壁相互間の第5の半導体層の露出面を離散的に分離する第4の半導体層の連結部にお

いても、第1の主電極による第3の半導体層と第4の半導体層とのコンタクトを確保できるので、トレンチ間隔を狭くでき、小形高密度の絶縁ゲート型半導体装置を提供することができる。

【0102】第4の発明のように構成された絶縁ゲート型半導体装置は、隣接する内壁相互間の第5の半導体層を分離する第4の半導体層の連結部と第3の半導体層とが交互に第1の主電極とコンタクトし、第5の半導体層と内壁との間に挟まれた第4の半導体層は抵抗として作用し、大電流が流れたとき第4の半導体層の領域で電圧降下を発生させるので、寄生バイポーラトランジスタがオンしにくくなり、RBSOAが広く、小形高密度で、信頼性の高い絶縁ゲート型半導体装置を提供することができる。

【0103】第5の発明のように構成された絶縁ゲート型半導体装置は、第4の半導体層と第5の半導体層とが列状に配列され、この配列に沿って複数の内壁を設け、さらに制御電極の表面上に層間絶縁膜を配設したので、制御電極が複数形成でき、層間絶縁膜のマスク合わせの余裕分を考慮せずにトレンチ間隔を狭く構成でき、セルサイズを小さくすることができる。従ってオン電圧を低下できるとともに、寄生トランジスタが起動し難くなり、ターンオフの際にはオフ出来る電流値が低下しない、このため消費電力が少なく、RBSOAが広くて信頼性が高く、小形高密度の絶縁ゲート型半導体装置を提供することができる。

【0104】第6の発明のように構成された絶縁ゲート型半導体装置は、隣接する内壁相互間の第5の半導体層の露出面を離散的に分離する第4の半導体層の連結部においても、第1の主電極による第3の半導体層と第4の半導体層とのコンタクトを確保できるので、さらにトレンチ間隔を狭くでき、小形高密度の絶縁ゲート型半導体装置を提供することができる。

【0105】第7の発明のように構成された絶縁ゲート型半導体装置は、第5の半導体層を離散的に分離する第4の半導体層の連結部と第5の半導体層とが交互に第1の主電極とコンタクトし、第5の半導体層と内壁との間に挟まれた第4の半導体層は第1の主電極とコンタクトしないから、この部分が第1の主電極とコンタクトする第4の半導体層相互間の抵抗として作用し、大電流が流れたとき第4の半導体層の領域で電圧降下を発生させるので、寄生バイポーラトランジスタがオンしにくくなり、RBSOAが広く、またセルサイズを小さくせずに短絡時の破壊耐性を向上させることができ、小形高密度で、信頼性の高い絶縁ゲート型半導体装置を提供することができる。

【0106】第8の発明のように構成された絶縁ゲート型半導体装置は、第3の半導体層の露出面が離散的に配設され、第3の半導体層を分離する第4の半導体層の連結部と第5の半導体層とが交互に第1の主電極とコンタ

クトし、第3の半導体層と内壁との間に挟まれた第4の半導体層は抵抗として作用し、大電流が流れたとき第4の半導体層の領域で電圧降下を発生させるので、寄生バイポーラトランジスタがオンしにくくなり、RBSOAが広く、信頼性の高い絶縁ゲート型半導体装置を提供することができる。

【0107】第9の発明のように構成された絶縁ゲート型半導体装置は、湾形状の内壁が複数配設でき、第3の半導体層が隣接する内壁相互間にこれら内壁に沿って離散的に配設され、絶縁膜が第3の半導体層を介して配設された第4の半導体層のうち壁面に沿って隣接する第4の半導体層とこの第4の半導体層に近接する第3の半導体層の一部とを覆っているので、制御電極が複数形成でき、また第3の半導体層を分離する第4の半導体層の連結部と第3の半導体層とが交互に第1の主電極とコンタクトし、第3の半導体層と内壁との間に挟まれた第4の半導体層が第1の主電極とコンタクトする第4の半導体層相互間の抵抗として作用し、第3の半導体層の露出面が狭くなったとしても第5の半導体層を介して第1の主電極による第3の半導体層と第4の半導体層とのコンタクトを確保することができ、大電流が流れたときに第4の半導体層の領域で電圧降下を発生させるから、寄生バイポーラトランジスタがオンしにくくなり、RBSOAが広く、小形高密度で、信頼性の高い絶縁ゲート型半導体装置を提供することができる。

【0108】第10の発明のように構成された絶縁ゲート型半導体装置の製造方法は、第3の半導体層の露出面が狭くなったとしても第5の半導体層を介して第1の主電極による第3の半導体層と第4の半導体層とのコンタクトを確保することができ、消費電力が少なく、RBSOAが広く、信頼性の高い絶縁ゲート型半導体装置を複雑な工程無しに安価に製造することができる。

【0109】第11の発明のように構成された絶縁ゲート型半導体装置の製造方法は、層間絶縁膜形成のためのマスク合わせの歩留分を少なく、セル間隔が狭くなり、消費電力が少なく、RBSOAが広く、信頼性の高い絶縁ゲート型半導体装置を複雑な工程無しに安価に製造することができる絶縁ゲート型半導体装置を複雑な工程無しに安価に製造することができる。

【0110】第12の発明のように構成された絶縁ゲート型半導体装置の製造方法は、隣接する内壁相互間の第5の半導体層の露出面を分離する第4の半導体層の連結部が層間絶縁膜により被覆される。この第4の半導体層の連結部と第5の半導体層とによって、第1の主電極による第3の半導体層と第4の半導体層とのコンタクトを確保でき、セル間隔を狭小した絶縁ゲート型半導体装置を、複雑な工程無しに安価に製造することができる。

【0111】第13の発明のように構成された絶縁ゲート型半導体装置の製造方法は、第5の半導体層と内壁との間に挟まれた第4の半導体層が第1の主電極とコンタ

クトする第4の半導体層相互間の抵抗として作用し、大電流が流れたときに第4の半導体層の領域で電圧降下を発生させるため、寄生バイポーラトランジスタがオンしにくくなり、RBSOAが広く、小形高密度で、信頼性の高い絶縁ゲート型半導体装置を複雑な工程無しに製造することができる。

【0112】第14の発明のように構成された絶縁ゲート型半導体装置の製造方法は、第3の半導体層の露出面を狭く構成でき、第3の半導体層と内壁との間に挟まれた第4の半導体層が第1の主電極とコンタクトする第4の半導体層相互間の抵抗として作用し、大電流が流れたときに第4の半導体層の領域で電圧降下を発生させるため、寄生バイポーラトランジスタがオンしにくくなり、RBSOAが広く、小形高密度で、信頼性の高い絶縁ゲート型半導体装置を複雑な工程無しに製造することができる。

【図面の簡単な説明】

【図1】この発明の実施の一形態である絶縁ゲート型半導体装置の平面図である。

【図2】この発明の絶縁ゲート型半導体装置の一部セルの部分平面図である。

【図3】この発明の絶縁ゲート型半導体装置の一部セルのA-A断面での部分断面図である。

【図4】この発明の模式的な部分断面図である。

【図5】U型IGBTのトレンチビッチとオン電圧との関係を示すグラフである。

【図6】この発明の絶縁ゲート型半導体装置の製造工程の素子の部分断面図である。

【図7】この発明の絶縁ゲート型半導体装置の製造工程の素子の部分断面図である。

【図8】この発明の絶縁ゲート型半導体装置の製造工程の素子の部分断面図である。

【図9】この発明の絶縁ゲート型半導体装置の製造工程の素子の部分断面図である。

【図10】この発明の絶縁ゲート型半導体装置の製造工程の素子の部分断面図である。

【図11】この発明の絶縁ゲート型半導体装置の製造工程の素子の部分断面図である。

【図12】この発明の絶縁ゲート型半導体装置の製造工程の素子の部分断面図である。

【図13】この発明の絶縁ゲート型半導体装置の製造工程の素子の部分断面図である。

【図14】この発明の絶縁ゲート型半導体装置の製造工程の素子の部分断面図である。

【図15】この発明の他の実施の一形態である絶縁ゲート型半導体装置の部分平面図である。

【図16】この発明の他の実施の一形態である絶縁ゲート型半導体装置のA-A断面での部分断面図である。

【図17】この発明の他の実施の一形態である絶縁ゲート型半導体装置のB-B断面での部分断面図である。



【図18】この発明のさらに他の実施の一形態である絶縁ゲート型半導体装置の部分断面図である。

【図19】この発明のさらに他の実施の一形態である絶縁ゲート型半導体装置のA-A断面での部分断面図である。

【図20】この発明のさらに他の実施の一形態である絶縁ゲート型半導体装置のB-B断面での部分断面図である。

【図21】この発明のさらに他の実施の一形態である絶縁ゲート型半導体装置の部分断面図である。

【図22】この発明のさらに他の実施の一形態である絶縁ゲート型半導体装置のA-A断面での部分断面図である。

【図23】この発明のさらに他の実施の一形態である絶縁ゲート型半導体装置のB-B断面での部分断面図である。

【図24】この発明のさらに他の実施の一形態である絶縁ゲート型半導体装置の製造工程の素子の部分断面図である。

【図25】この発明のさらに他の実施の一形態である絶縁ゲート型半導体装置の製造工程の素子の部分断面図である。

ト型半導体装置の製造工程の素子の部分断面図である。

【図26】従来の絶縁ゲート型半導体装置の部分断面図である。

【図27】従来の他の絶縁ゲート型半導体装置の部分断面図である。

【図28】従来の他の絶縁ゲート型半導体装置のコンタクトマージンを示した模式図である。

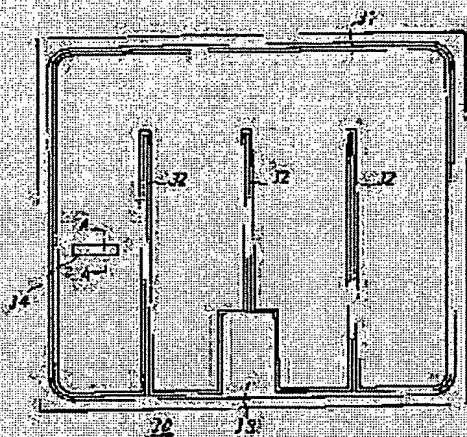
【図29】従来のさらに他の絶縁ゲート型半導体装置の部分断面図である。

【図30】従来のさらに他の絶縁ゲート型半導体装置のサイド壁数を示した模式図である。

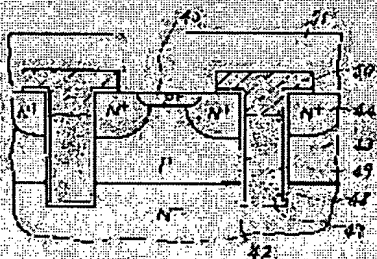
【符号の説明】

41 P+コレクタ層、 42 N+層、 43 P+ベース層、 44 N+エミッタ領域、 45 P+半導体層、 46 内層、 47 ゲート絶縁膜、 48 ゲート電極、 49 エミッタ電極、 50 コレクタ電極、 51 層間絶縁膜

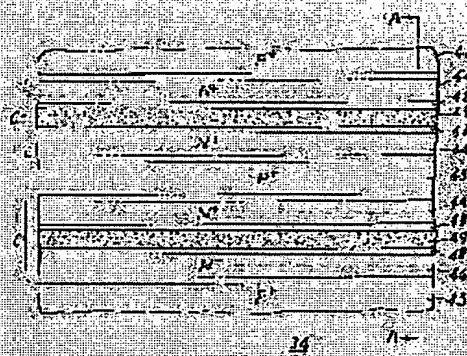
【図1】



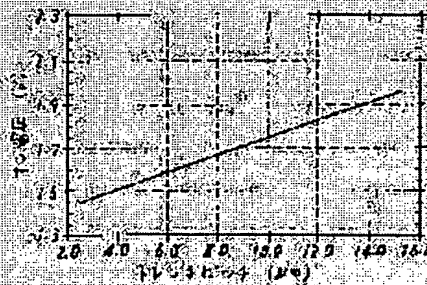
【図4】



【図2】



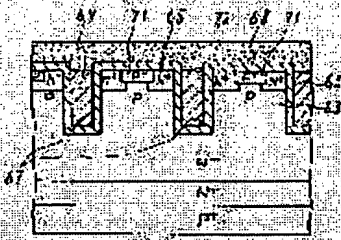
【図5】



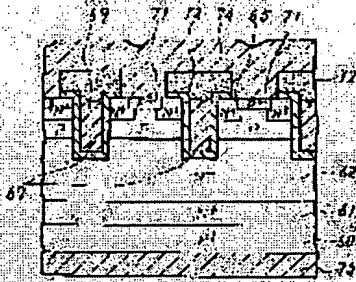




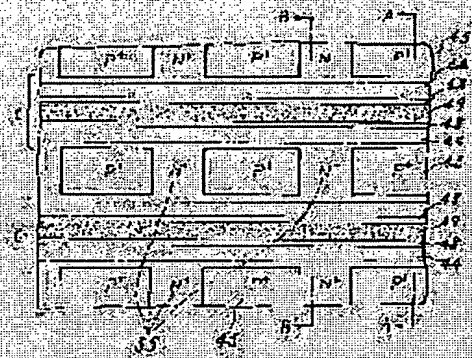
【圖12】



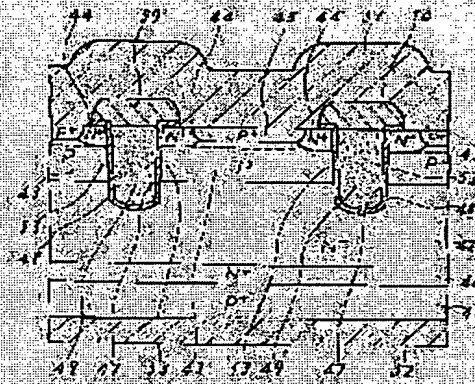
【圖14】



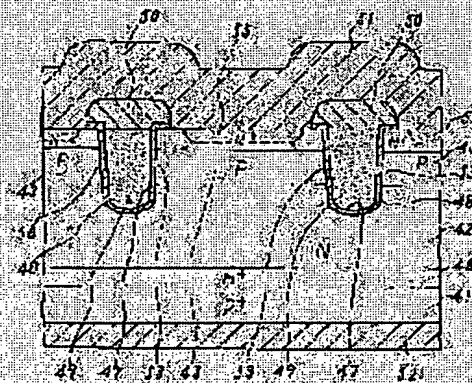
【圖15】



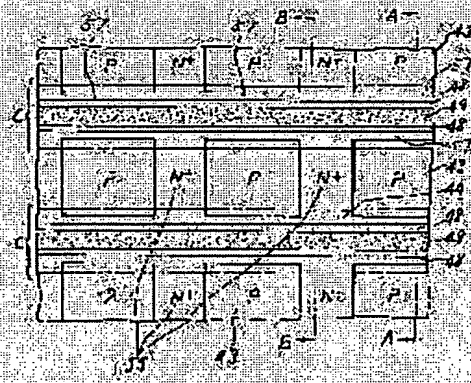
【圖16】



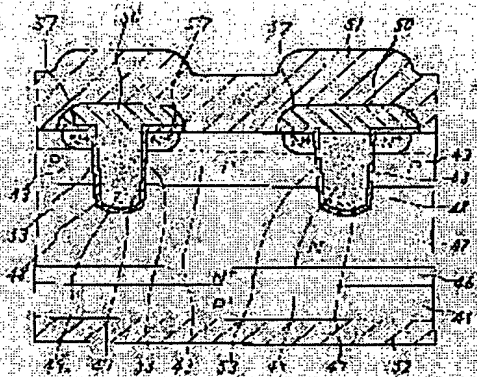
【圖17】



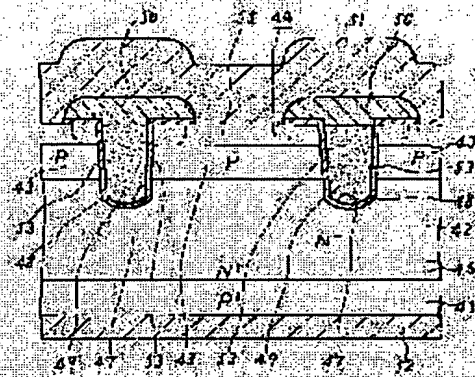
【圖18】



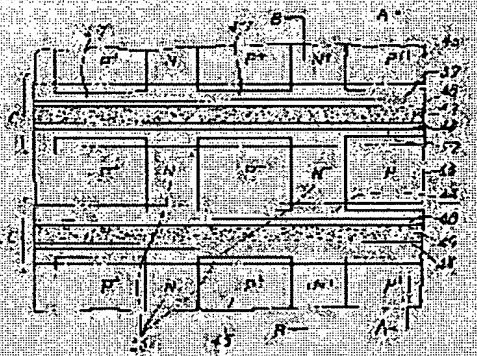
【圖19】



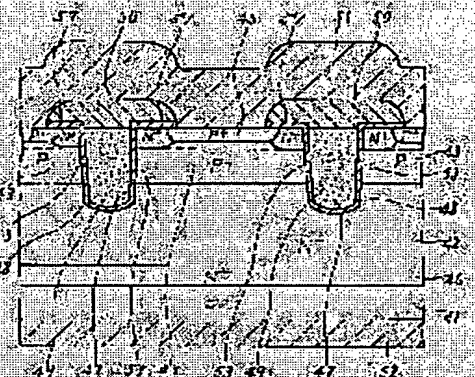
【圖20】



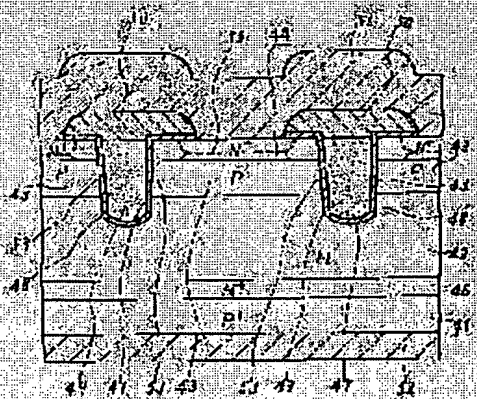
【圖21】



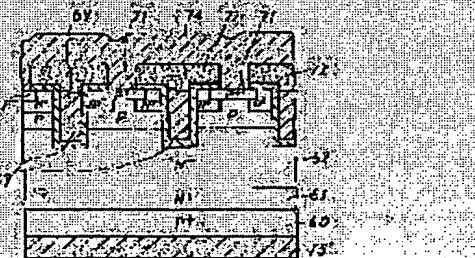
【圖22】



【圖23】

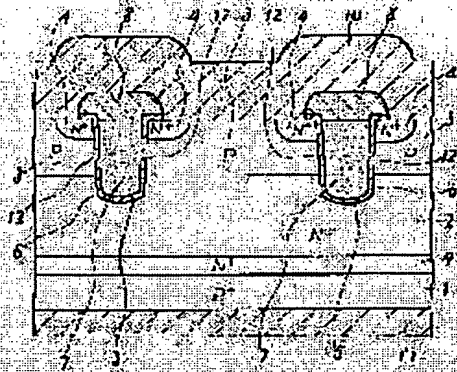


【圖24】

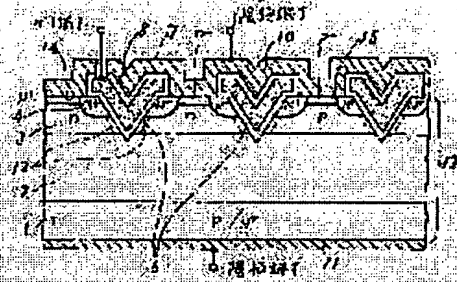




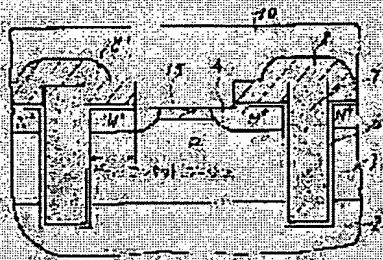
【圖26】



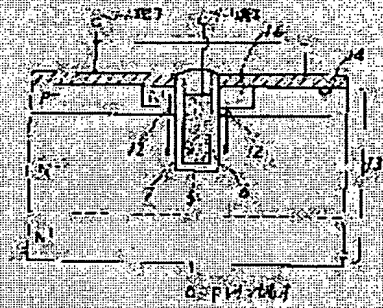
【圖27】



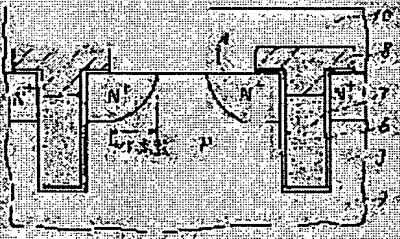
【圖28】



【圖29】



【圖30】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**